

低电平模拟-数字转换器¹⁾

薩支天 李世恩 朱德懋 路祖銘

摘 要

本文介紹了一种逐位权衡編碼法的模拟-数字转换器,它适用于低电平輸入的情况。装置为晶体管化。文中扼要地叙述了这种转换器和其几个主要环节的實現方法及特性,給出了轉換器的技术指标及所存在的問題。

前 言

本文介紹了一种把电压轉換为二进制电碼的模拟-数字转换器,它的特点是低电平輸入,并具有較高的准确度和中等的轉換速度。它可用在測量温度、应变、压力和力等情况下

轉換器的作用原理是把輸入电压逐位权衡編碼。这种編碼方法具有下列特点:可以不采用零点漂移小、綫性度高和增益稳定的前置放大器,数字-模拟轉換环节可以做到很稳定和准确,比較过程和反饋过程所需的时间很短。转换器全部采用国产元件,并且是晶体管化。

一、結 构

逐位权衡編碼法的模拟-数字转换器的邏輯結構图如图1所示。第*i*位的邏輯动作

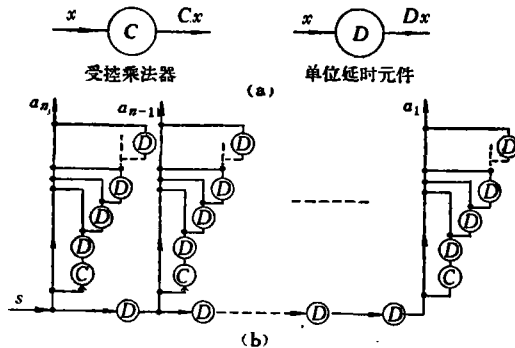


图1. 模拟-数字转换器邏輯結構图

可以用下式表示:

$$a_i = D^{n-i} \cdot s + \sum_{j=1}^i D^j C_j \{ D^{(n-i)} \cdot s \},$$

式中: *s*——起动脉冲,宽度为一单位時間;

D——单位时延;

1) 本文曾在1963年7月中国自动化学会模拟技术及运动技术学术会议上宣讀。

$$C_j - C_i = F\{M - K(a_n p^n + a_{n-1} p^{n-1} + \dots + a_{n-i} p^{n-i})\},$$

$$\begin{aligned} &\text{当 } F\{\geq \epsilon\} \text{ 时, } C = 1, \\ &F\{\leq \epsilon\} \text{ 时, } C = 0, \quad a_i = \begin{cases} 0, \\ 1; \end{cases} \end{aligned}$$

p ——表示进位制, 这里 $p = 2$;

M ——輸入的模拟量;

K ——比例系数。

邏輯結構在起動后, 經 n 个单位延时時間后, 得:

$$M = K(a_n p^n + a_{n-1} p^{n-1} + \dots + a_1 p^1 + a_0 p^0) + \epsilon,$$

$$\epsilon \text{ 为誤差, } \leq \left| \frac{K}{2} \right|.$$

单位延时元件的串接回路实际上为一分配器。 $\sum_{i=1}^j D^i \cdot s$ 可以由一双稳触发器来实现, 該双稳触发器在 $i = 1$ 开始时被触发为状态“1”, 在 $i = j$ 終了时則回零。受控乘法器 C 为一邏輯控制电路, 受控于輸入模拟量和数字-模拟转换器輸出之差。转换器的結構图如图 2 所示。它由分配器、邏輯控制电路、数字-模拟转换器、比較器等主要环节組成。

为了减少整个设备单元线路的种类, 分配器及邏輯控制电路都由相同的双稳触发器和二极管門組成。

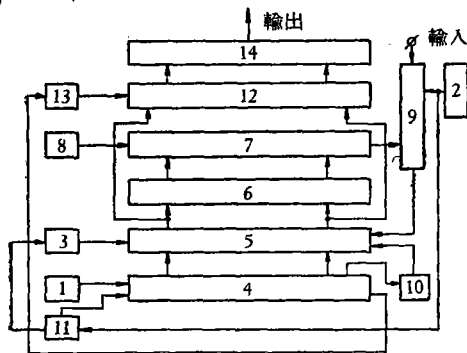


图 2. 模拟-数字转换器结构图

- 1——启动脉冲发生器; 2——调制信号发生器;
- 3——试验脉冲发生器; 4——分配器; 5——逻辑控制电路; 6——耦合电路; 7——数字-模拟转换器; 8——标准电源; 9——比较器; 10——回零脉冲发生器; 11——移位脉冲发生器;
- 12——“与”门; 13——写入脉冲发生器; 14——并行写入串行读出移位寄存器

分配器的結構如图 3 所示。每一級由一个双稳触发器及两个“与”門組成 (第一級只有一个“与”門)。启动脉冲将第一級双稳触发器从状态“0”改变为“1”, 同时使第二級右边的“与”門开启, 左边的“与”門关闭, 因此第二級双稳触发器在移位脉冲来到时, 被改变状态为“1”。其余各位依此类推。每一級改变后的状态一直保持到它前一級的状态由“1”改变为“0”的后一单位延时時間。

邏輯控制电路的单元线路如图 4 所示。它由双稳触发器及“与”門組成。“与”門为图

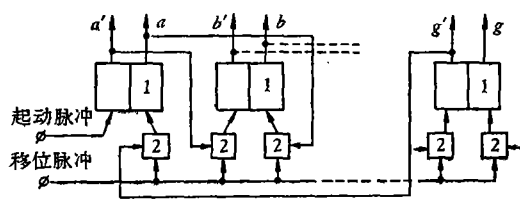


图 3. 分配器结构图

- 1——双稳触发器; 2——“与”門

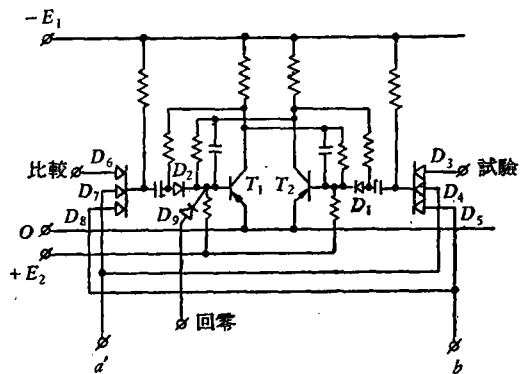


图 4. 逻辑控制单元线路图

中 D_3, D_4, D_5, D_6, D_7 及 D_8 六个二极管。 D_3 与试验脉冲发生器相连, D_6 与比较器输出相连, D_4, D_5, D_7, D_8 与分配器相连。分配器未动作前, 逻辑控制电路各位均处于“0”状态。当 D_4, D_5, D_7, D_8 都为负电位时, 试验脉冲方能使双稳触发器改变状态为“1”。所以

分配器与逻辑控制电路的连接必须保证逻辑控制电路依时间逐位处于被控状态。

逻辑控制电路经一单位延时间后, 回“0”与否, 决定于比较器的输出。逻辑控制电路控制着数字-模拟转换器, 它的输出与输入模拟量相减后, 进到比较器中。

综上所述, 编码的程序如下: 分配器启动后, 依次使逻辑控制电路从状态“0”改变为“1”。逻辑控制电路的输出, 使数字-模拟转换环节依权的大小程序被接通; 它的输出与模拟量进行比较, 比较结果对逻辑控制电路进行控制, 使数字-模拟转换环节中某一位根据比较结果保持接通还是断开。

每次编码结束后, 写入脉冲即将并行码写入移位寄存器。移位寄存器的输出为时间码。

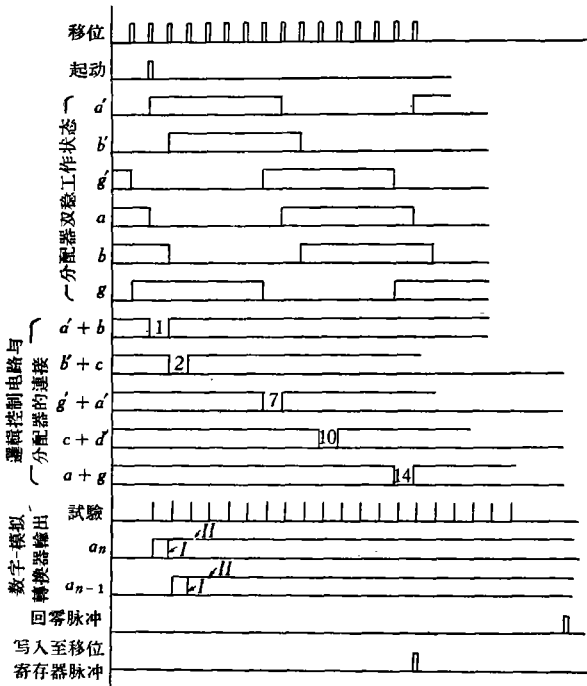


图5. 转换器的时间图

I——模拟量 $e_s <$ 数字-模拟输出 e_D ; II—— $e_s > e_D$

系统的时间图如图5所示。

二、主要环节

下面将着重介绍数字-模拟转换器及比较器这两个环节。

数字-模拟转换器的准确度取决于标准电源、开关特性和有关电阻, 关键在于前两者。

数字-模拟转换器的线路如图6所示: 第I部分为标准电源, 第II部分为开关及电阻单元。 T_2 将输入信号放大后控制开关三极管 T_1 , 后者被接成共集电极形式。

用晶体三极管作开关可以将它接成共基极、共发射极和共集电极三种形式。这三种接法的导通压降

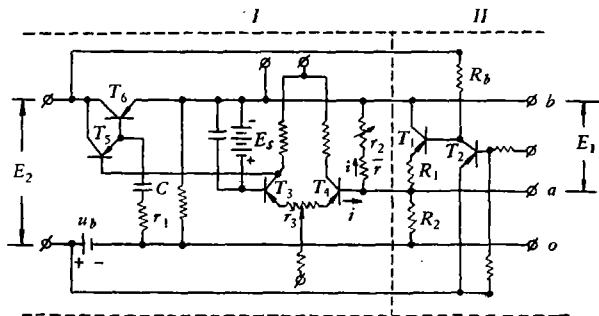


图6. 数字-模拟转换环节简图

R_1 ——权电阻; R_b ——总加电阻; I——标准电源部分; II——开关部分

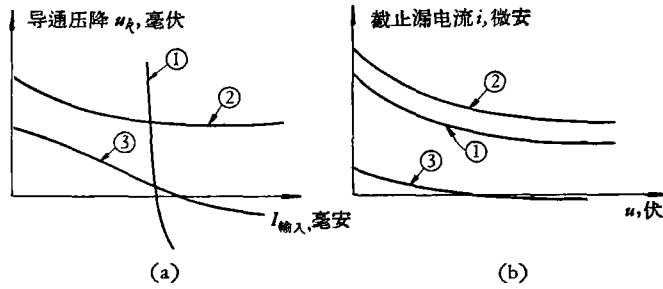


图 7. 开关特性与晶体管接法的关系

①——共基极；②——共发射极；③——共集电极

和截止漏电流,如图 7(a)、(b) 中的曲线所示,图中 $I_{输入}$ 为使开关处于导通状态时所需的输入信号电流, u 为使开关处于截止状态时在输入端所加的反向偏置电压。从此图可以看出,在共发射极情况下的导通压降比较大,而在共基极和共集电极情况下的导通压降均较小,甚至可以为负。开关三极管的导通压降不仅其数值要小,更重要的是当输入信号、供电电源电压和环境温度等变化时其数值改变要小。在共基极情况下的导通压降受输入信号变化影响很大,而在共集电极情况下的导通压降受到的影响则较小。开关 T_1 在接通时处于强导通状态。共集电极接法的等效电路如图 8 所示, T_1 的导通压降 u_k 为:

$$u_k = i_c r_c - i_c r_c.$$

我们希望 u_k 不受温度变化的影响,即

$$\frac{du_k}{dt} = \frac{d(i_c r_c - i_c r_c)}{dt} = 0,$$

式中 i_c 为流过电阻的电流(这是我们所要求的恒定负载电流)。由此可得

$$i_c \frac{dr_c}{dt} = \frac{di_c r_c}{dt}.$$

由于 $i_c r_c = E_2 - E_1 - i_b(R_b + r_b)$ (式中 E_1 、 E_2 、 R_b 参看图 6 所示),于是

$$\frac{di_c r_c}{dt} = \frac{d(E_2 - E_1)}{dt} - \frac{di_b(R_b + r_b)}{dt}.$$

当 $\frac{d(E_2 - E_1)}{dt} = 0$ 时,

$$\frac{di_c r_c}{dt} = - \frac{di_b(R_b + r_b)}{dt},$$

因此可将 u_k 不随温度变化的条件写为

$$i_c \frac{dr_c}{dt} = - \frac{di_b(R_b + r_b)}{dt}.$$

图 9 所示为 u_k 在不同的 R_b 时与温度 t 的关系。由此可见,适当选择 R_b 的值,可使 u_k 在一定的温度变化范围内保持不变。

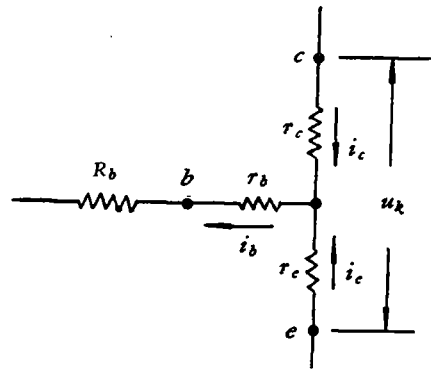


图 8. 开关管导通时的等效电路

三种接法的开关截止漏电流如图 7(b) 所示。从此图可看出共基极和共发射极的漏电流都较大,而共集电极的电流则较小,甚至可以做到零或负值。这是由于在 E_2 和 E_1 之间附加了一个电位差 u_b 。 u_b 必须大于 T_2 的导通压降。这样,当 T_2 导通时, T_1 是截止的。 T_1 的基极对发射极是正电位。

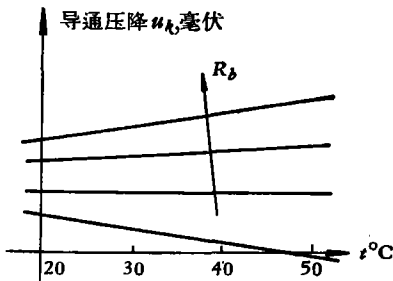


图 9. 开关导通压降 u_k 与温度的关系

根据以上所述,共集电极的开关特性良好,符合要求。当然数字-模拟转换器中的开关晶体管在使用时是需要精心挑选和老化的。

数字-模拟转换环节中的总加电阻 R 和各位权电阻都需要很稳定,它们的温度系数差要尽量小,频率特性要好。对于各位权电阻的要求,是随权的大

小而不同,电阻亦需精心挑选并老化。

开关单元的晶体管 T_1 和 T_2 都采用高频晶体管。在共集电极情况下,其导通上升时间 < 0.3 微秒,关闭下降时间及存储时间 < 0.5 微秒。

数字-模拟转换器中的标准电源,除要求内阻小和电压稳定系数高外,还有三个特殊的要求(参看图 6):

1. 标准电源应能保持 a、b 两点间的电压 E_1 为恒定。为减少温度所引起的漂移,可选用稳定性良好的锌汞电池作参考电源。晶体管 T_3 和 T_4 在挑选配对前应经过老化。必要时,还可以调节可变电阻 r_3 微调标准电源电压值。

2. 为消除图中晶体管 T_4 的基极电流 i 流过总加电阻 R 所造成的误差,必须使其中和。调节可变电阻 r_2 可以使 i 完全流过 r 及 r_2 。此外,晶体管 T_4 的 i_{c0} 应愈小愈好。

3. 标准电源要有较快的过渡过程,当负载作阶跃改变时,能很快达到稳定。为此, T_3 、 T_4 、 T_6 都选用高频晶体管,并加高频衰减网络 cr_1 ,以防止振荡。图 10 的照片(a)及(b)分别为负载有 3 毫安电流的阶跃变化、重复频率为 50 千周/秒时,总加电阻 R 上的电压降和标准电源电压值波动的波形图(过渡过程小于 1 微秒)。

标准电源可以做到如下的技术指标:

1) 交流电源电压变化 $\pm 10\%$, 标准电源电压变动 < 2 毫伏。

2) 负载变化 20 毫安, 标准电源电压变动 < 1 毫伏。

3) 连续运行 100 小时,最低温度为 21°C ,最高温度为 30°C ,标准电源电压变动约为 7 毫伏。

4) 当环境温度由 20°C 变化至 40°C 时,晶体管 T_3 的基极电流 i 的变化 < 0.5 微安。

整个数字-模拟转换器可以达

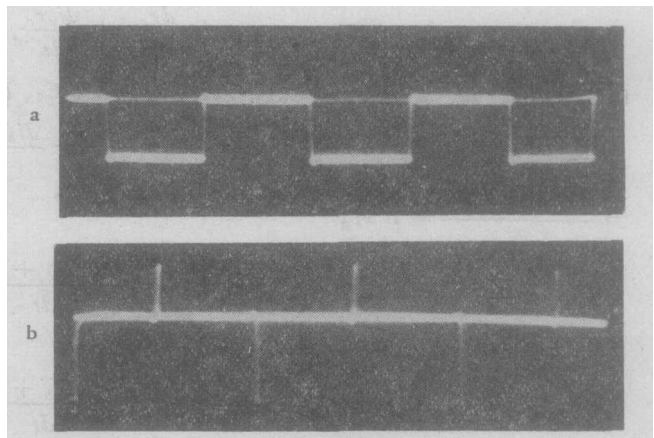


图 10.

a. 总加电阻上的波形图; b. 标准电源电压的波动

到如下技术指标：

1) 最大輸出：51.2 毫伏。

2) 誤差： $< 0.1\%$ 。

比較器采用調相-放大-解調的方法，其結構如图 11 所示。采用調相的原因是因为比較器實質上为一个兩位制离散通道，而相移为 π 的調相方法具有最高抗扰能力。調制器为一弱信号晶体三极管調制器。在图 12 上列出了分配器移位脉冲、調制器的推动电源及其輸入、輸出的波形。从此图可以明显看出，不同极性的輸入經調制后的輸出，为相位相差 π 的信号。

調制信号經放大后再进行解調。解調的判决依据为：

$$-\frac{T}{2} \int_0^{T/2} K_1 e(t) dt + \frac{T}{2} \int_{T/2}^T K_2 e(t) dt \leq 0,$$

式中 $e(t) = S_1(t) + N(t)$,

$$S_1(t) = \begin{cases} 0, & 0 < t < \frac{T}{2} \\ S(t), & \frac{T}{2} < t < T \end{cases} \text{ 为調制后的信号,}$$

$N(t)$ 为干扰，

$S(t)$ 为調制前的信号。

設計綫路时，可使 $K_1 = K_2$ 。因此，上式可簡化为：

$$-\frac{T}{2} \int_0^{T/2} N(t) dt + \frac{T}{2} \int_{T/2}^T [S(t) + N(t)] dt \leq 0.$$

为避免零点漂移，而采用了交流放大器。此时，主要的干扰 $N(t)$ 是低頻成分。为了能正确判断，交流放大器的放大系数 K 应在輸入为 $|N(t)_{\text{最大}} + S(t)_{\text{最小}}|$ 的范围内保持不变。因此放大器必須具有足够的动态范围，以免产生飽和情况而使比較器产生錯誤判决。

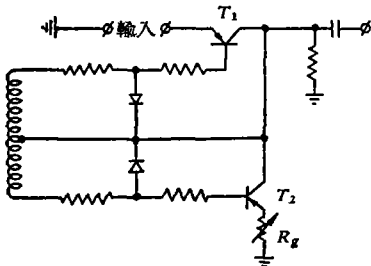


图 13. 調制器綫路图
 R_g ——补偿电阻

容和漏電。

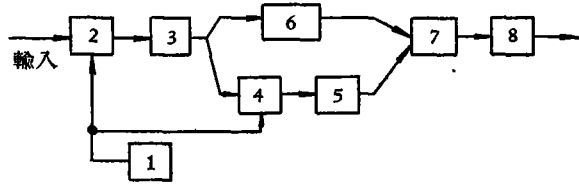


图 11. 比較器結構图

- 1——調制器推动电源；2——調制器；3——放大器；
- 4——反調制器；5——保持器；6——增益补偿电路；
- 7——減法放大器；8——輸出放大器

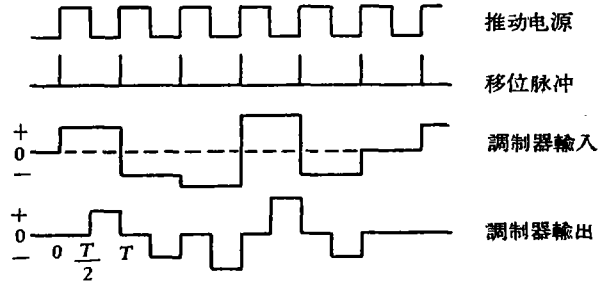


图 12. 調制器波形图

減少調制器的零点漂移的措施是采用并联补偿电路，如图 13 所示。电路中的 T_1, T_2 必須事先老化并挑选成对。要求它們的残余电压要小，漏电流也要小。減少調制器的脉冲噪声时，除选用截止頻率較高的晶体管外，还应在工艺上加以改进，尽可能地減少杂散电容和漏電。

晶体管调制器可以达到如下的指标：环境温度由 10°C 变化至 50°C、电源电压变化 $\pm 20\%$ ，連續工作 100 小时所引起的漂移都分別小于 20 微伏。

保持器为一用电容保持的双向开关电路。減法放大器为一差分放大器。它所用的晶体管是先經老化并加以挑选的。

比較器的分辨能力为 50 微伏。

結 語

这种模拟-数字轉換器具有以下技术性能：

准确度	0.1% \pm 50 微伏，
最大輸入	50 毫伏，
时鐘頻率	3000 周/秒，
編碼方式	二进制。

上述的技术性能基本上已滿足温度、应变和力等低电平輸出的測量需要。在准确度 and 編碼速度上还可以进一步提高，关键在于提高比較器的质量。

参加这项工作的同志还有陈达中，周华湘，徐心平，向訓初等。

参 考 文 献

- [1] Gilbert, R. L. G., An Analogue-Digital Converter with Long Life, *B. I. R. E.*, **20** (1960), No. 7, 529—535.

A LOW LEVEL ANALOG-DIGITAL CONVERTER

SAH CHI-TIEN LI HSI-EN CHU TEH-MOW LU TSU-MING

In this paper an analog-digital converter using comparison method is recommended. This converter is especially suitable for low level input signals and is all transistorized. Construction and characteristics of its main functional devices are briefly discussed. Technical specifications are given.