

高分辨率数字锁相回路的设计*

王广雄 苏宝库
(哈尔滨工业大学)

摘 要

本文讨论了高分辨率数字锁相回路的设计问题,文中对锁相回路的动特性也作了简要的分析。

一、增量编码与锁相回路

为了保证高精度伺服系统的动静特性,一方面固然需要将角度信号进行数字量化,另一方面应保证这个数字量化的过程不会引入时间滞后。当用感应同步器作为测角元件时,只有采用增量编码的方式才能满足上述要求。图1为感应同步器增量编码系统的示意图。图中 u_A, u_B 为感应同步器的激磁电压。感应同步器输出信号的相位与转角成比例,它经前置放大器加到锁相回路。这个锁相回路实际在相位上起放大作用,增益为 10^4 ,因此只要有 0.036° 的相位变化,在锁相回路的输出上就会出现 360° 的相位变化。我们用一特殊设计的三相时钟发生器和正负分离网络,可将这 360° 的相位变化分离出来。这样,只要感应同步器输出信号的相位变化 0.036° ,我们就可以在正负分离网络的输出端得到一个脉冲。根据相位变化的极性可以在正路 F_+ 上得到脉冲或在负路 F_- 上得到脉冲。当感应同步器的极对数为 360 时,这个相位变化所对应的机械角就是 0.0001° 。这就是说,只要机械角增量达 0.0001° 时,这个线路就会输出一个脉冲。

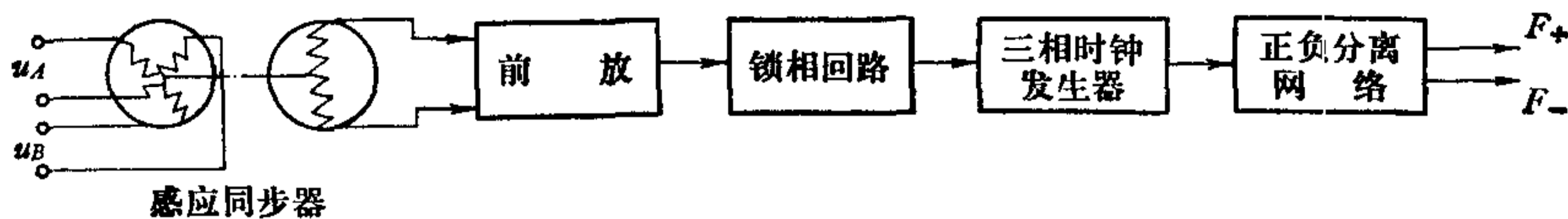


图 1

从线路上来说,这里的一个主要问题是需要设计一个分辨率是万分之一的数字锁相回路,以分辨 $360^\circ/10000=0.036^\circ$ 的相位变化。我们的感应同步器是 2.5KHz 的,因此与万分之一分辨率相对应的锁相回路应该是 25MHz 的。图 2 为数字锁相回路的原理图。它由一个 25MHz 的压控振荡器,一个除 10000 的分频器和数字检相器所组成。图中 d 是经过放大整形的感应同步器输出 2.5KHz 方波。 f 是压控振荡器输出经 10000 分频后的方波。这个锁相回路的核心就是数字检相,因为只有采用数字检相才能保证万分之一的分辨率。

* 本文曾在 1979 年 11 月全国自动化技术应用学术年会上宣读,本文修改稿于 1980 年 2 月 17 日收到。

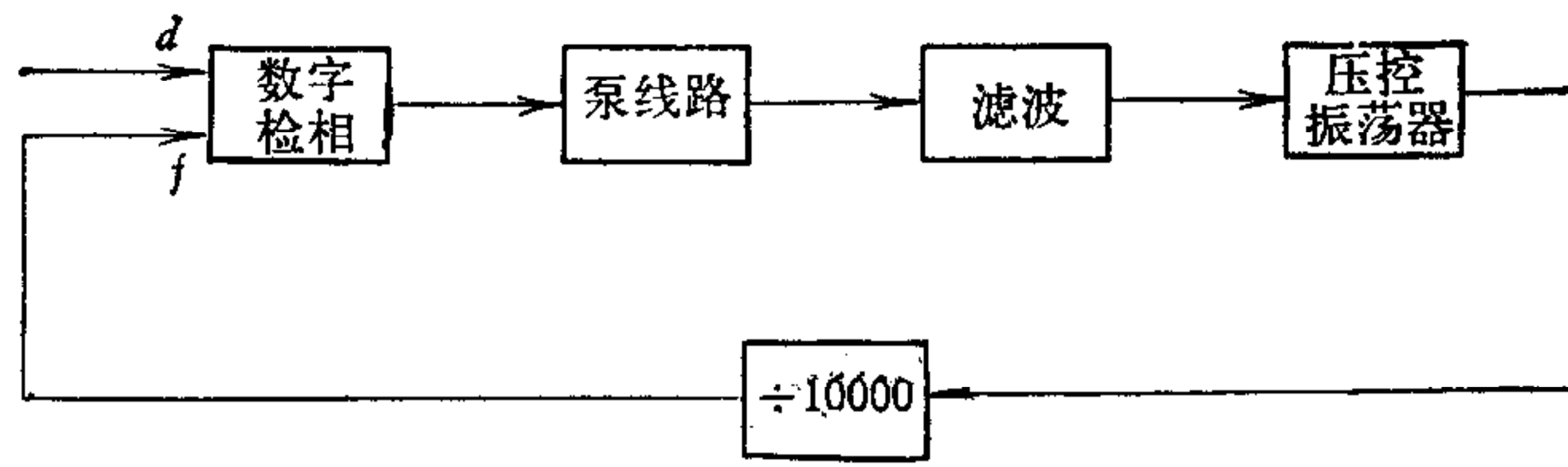


图 2

二、数字检相器

图 3 为数字检相器的原理图。它由两部分组成：检相和填充脉冲。现分别介绍如下。

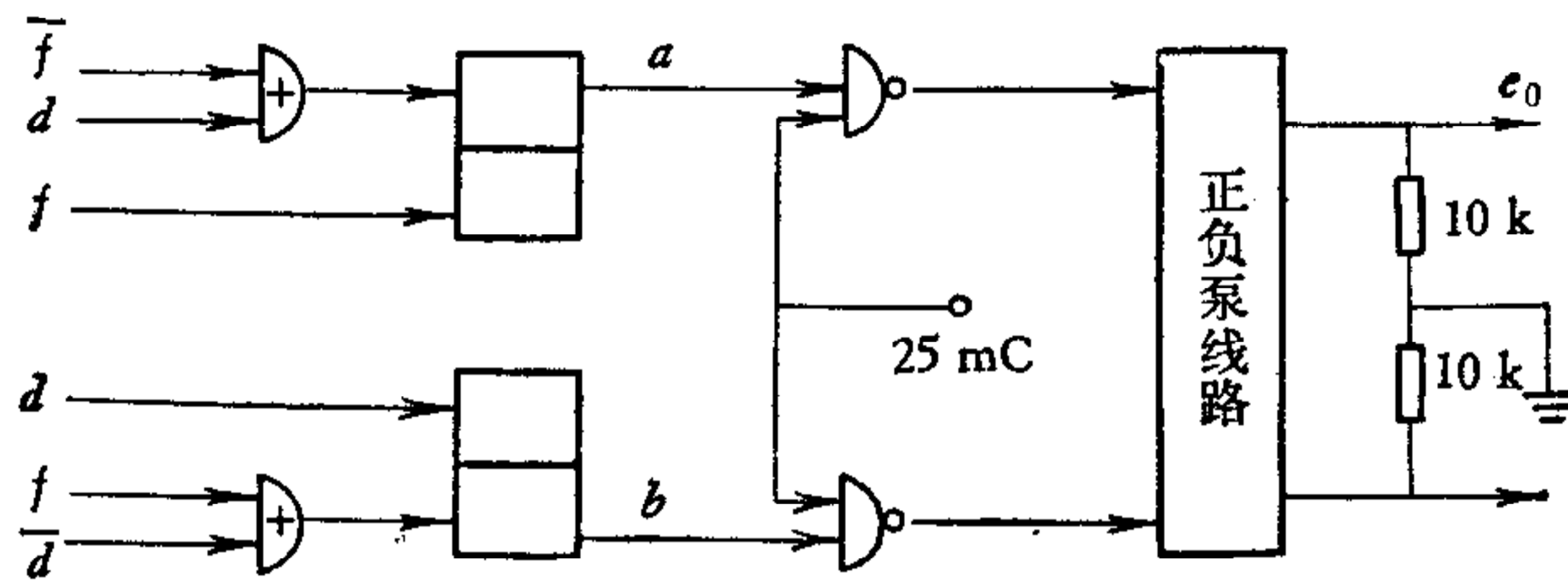


图 3

1. 双稳检相器

目前国内外采用的检相器种类较多,我们曾对异或门检相器^[1]、九门检相器^[2]、双稳检相器、采样保持检相器作过实验,其中九门检相器具有检相检频特性,可加宽环路的捕捉范围。在我们的特定情况下,双稳检相器既满足要求,又易实现和调整,所以采用了它。

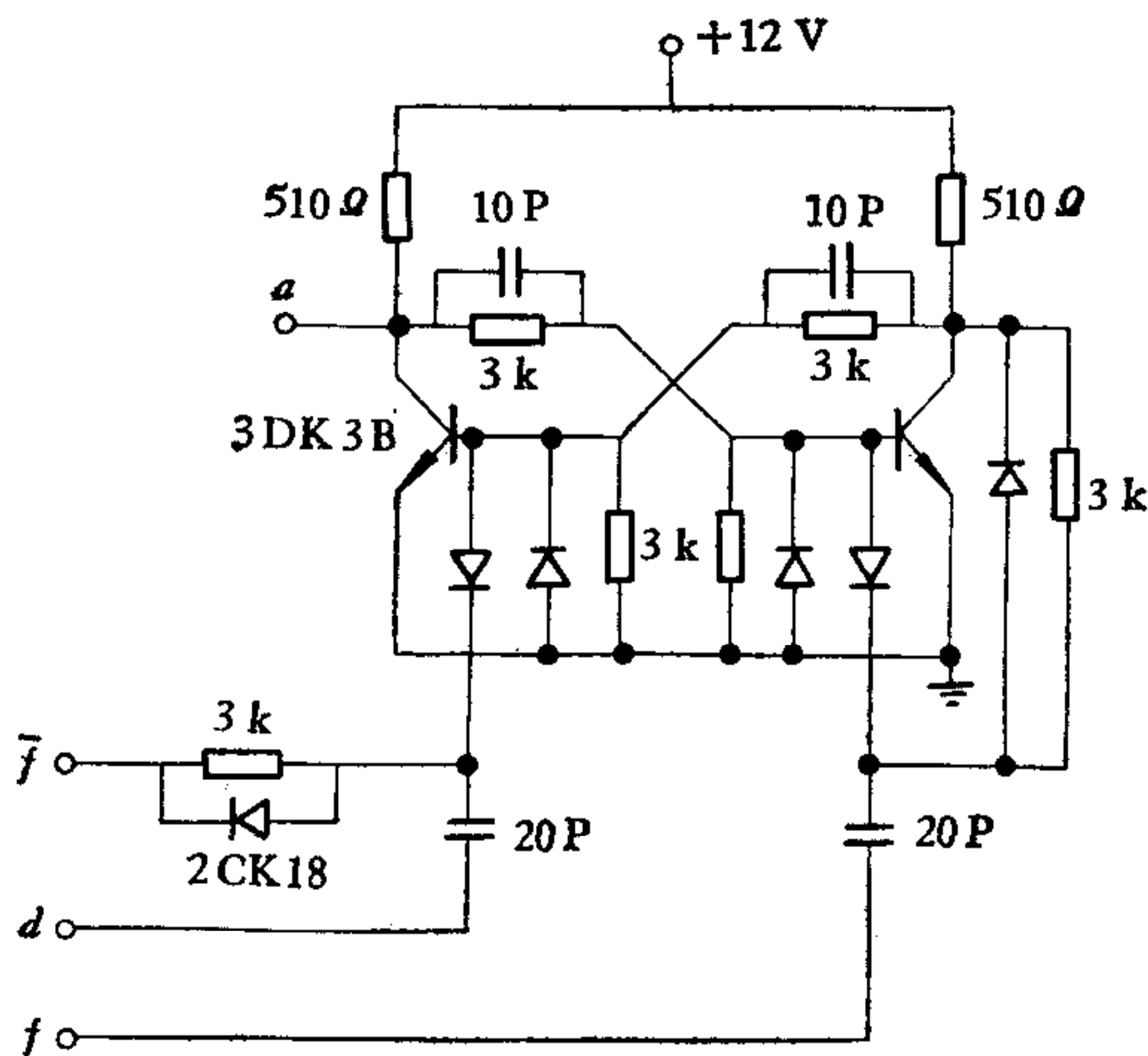


图 4

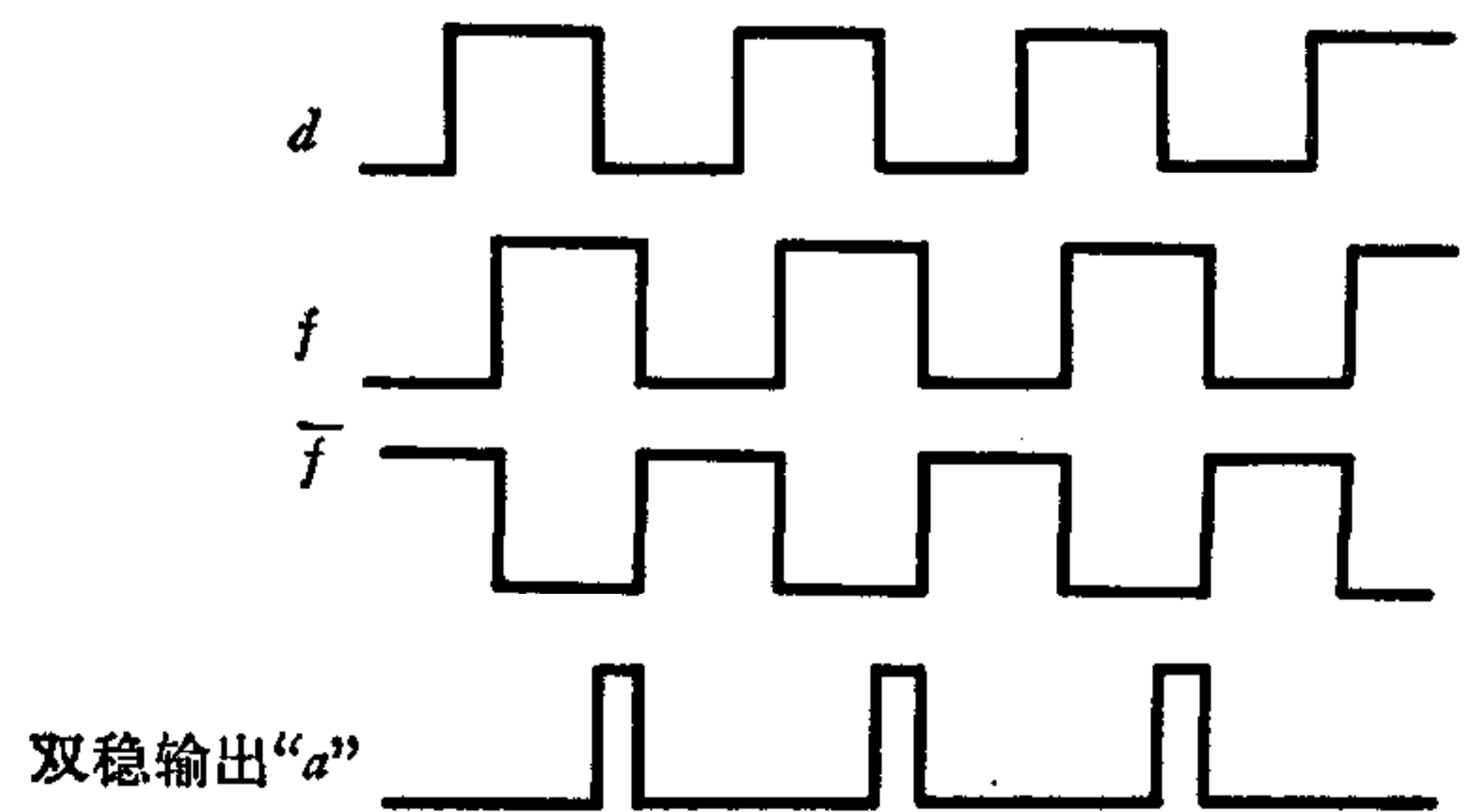


图 5

图 4 为双稳检相器的线路图。图中 d 和 f 为输入检相器的两个信号。当 d 信号相位超前 f 信号时,双稳的输出波形如图 5 所示,宽度反映了两者的相位差。这输出波形就是图 3 中 a 点处的波形。

当 f 信号超前时，则对应 d 出现负跳变时 \bar{f} 总是正的，不能使双稳翻转， a 点始终处于低电位。但此时另一路双稳，即图 3 中 b 点则有输出，对应的波形见图 6 所示。

从上面的说明中可以看出， d 超前或滞后时，图 3 中的“ a ”或“ b ”就有输出。输出波形的宽度代表了两者的相位差。

为了保证高分辨率，一方面固然需要采用填充脉冲的方式来读取相位，另一方面对检相器本身也应该提出要求。对这个双稳检相器来说，设计和调试时的一个主要指标是其翻转速度必须大于 25MHz 双稳计数器的速度。只有这样，才能在 0.036° 的相位差时填进一个 25MHz 的脉冲，从而保证万分之一的分辨率。

2. 填充脉冲

为了保证万分之一的分辨率。所以对 2.5KHz 的感应同步器的信号来说，就要采用 25MHz 的填充脉冲。双稳检相的输出通过与门控制这个填充脉冲。为了能够读出填充

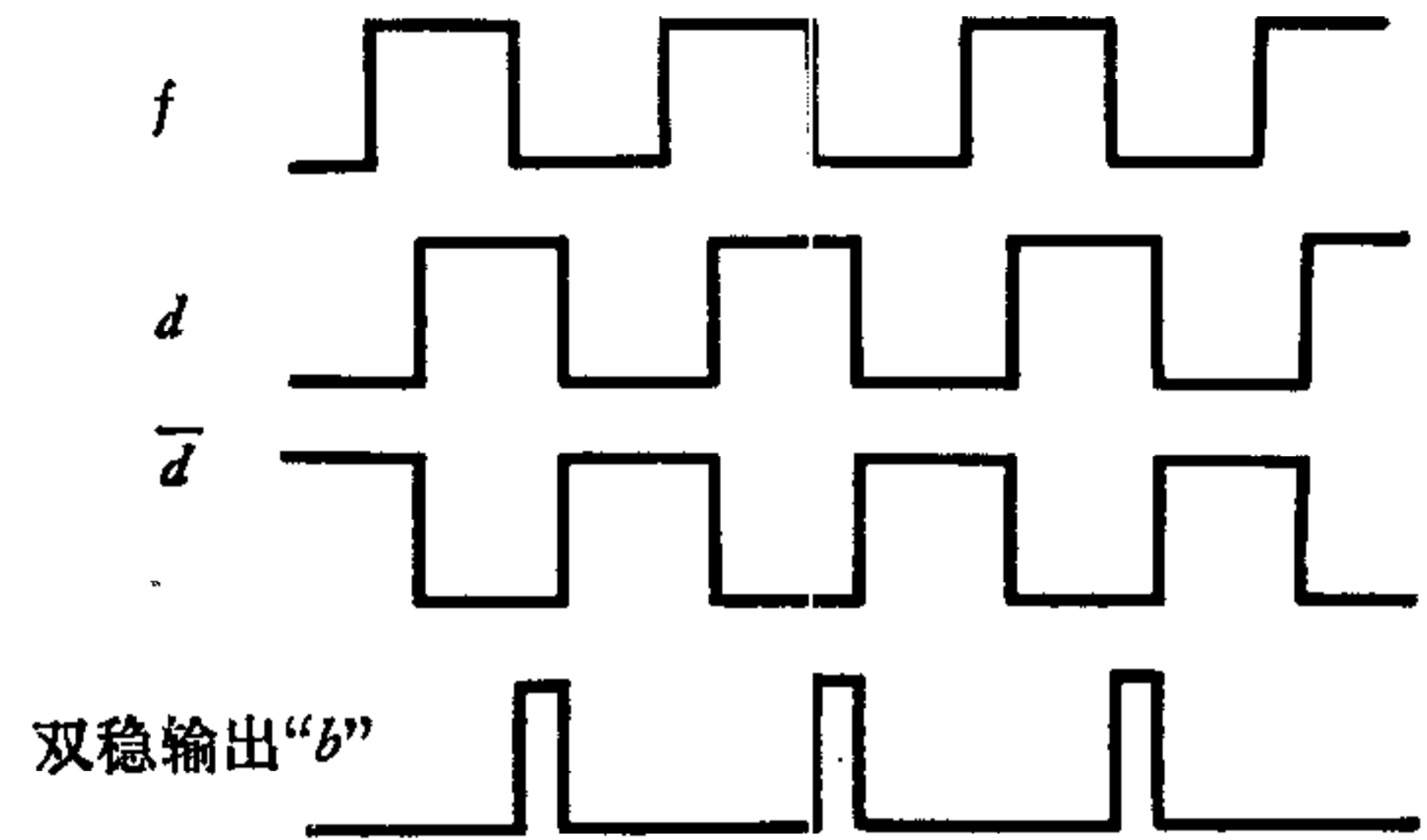


图 6

脉冲的数目，我们采用了一组特殊设计的泵线路，如图 7 所示。与检相器相对应，泵线路也分正路和负路。

现以正泵为例来说明之。当输入跃到 $+E$ 时，二极管 D_1 导通，设 $C_1 \gg C_2$ ，则输出端得到一个较小的增量

$$\Delta e = \frac{C_2}{C_1 + C_2} E,$$

当输入回到 0 电位时， D_1 截止，因此 C_1 保持了这个变化。（放电回路时间常数远大于填充脉冲的周期。）当下一个正脉冲到来时，由于 3DK3B 的跟随作用，在 C_1 得到的 Δe 仍为 $C_2 E / (C_1 + C_2)$ ，从而保证了此线路的增量值

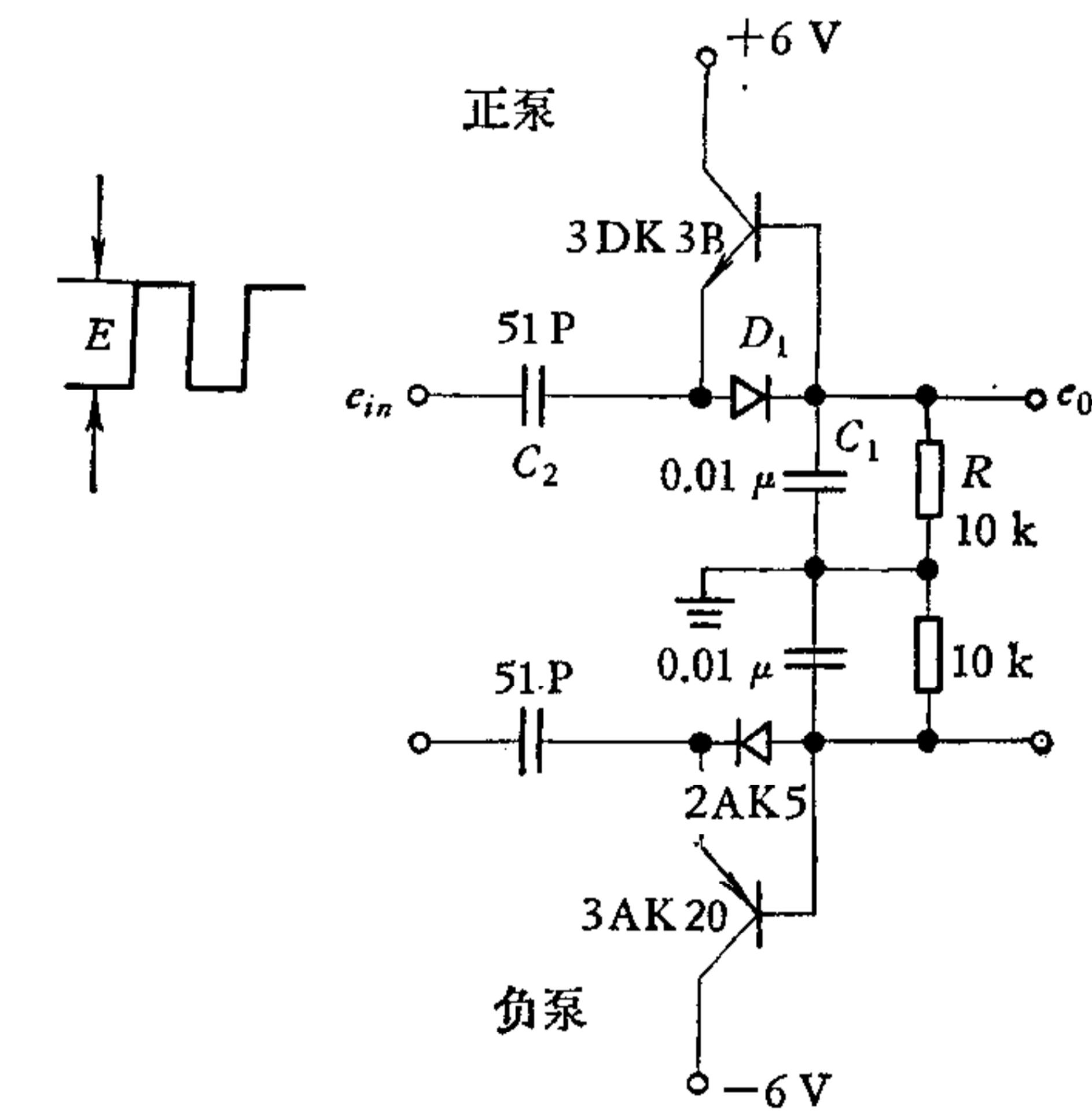


图 7

不变。结合图 7 的参数来说， $E = 10V$ 时，每一个阶梯等于 50mV，见图 8。

实际上 C_1 的电压将通过 R 放电，我们选择的参数将保证在 2.5KHz 的周期 ($400\mu S$) 内基本放完。因此泵线路的输出波形呈图 9 所示的形状，其平均值比例于相位差：

$$\bar{e}_0 = K_{PD} \cdot \Phi$$

式中 K_{PD} 为检相器的增益系数。结合我们的参数， $K_{PD} = 12.5mV / 0.036^\circ = 0.35V/度$ 。

图 7 所示线路的最大输出为 5V，因此检相器的线性工作范围为 ± 100 个脉冲，即对应于相位为 $\pm 3.6^\circ$ 。图 10 即为该数字检相器的静态特性。

锁相回路中的其他部件如压控振荡器、滤波器等都是包含在这个数字反馈回路内的（图 2），所以只要除 10^4 的分频器工作正常，对它们就无特殊要求。例如我们所用的压控

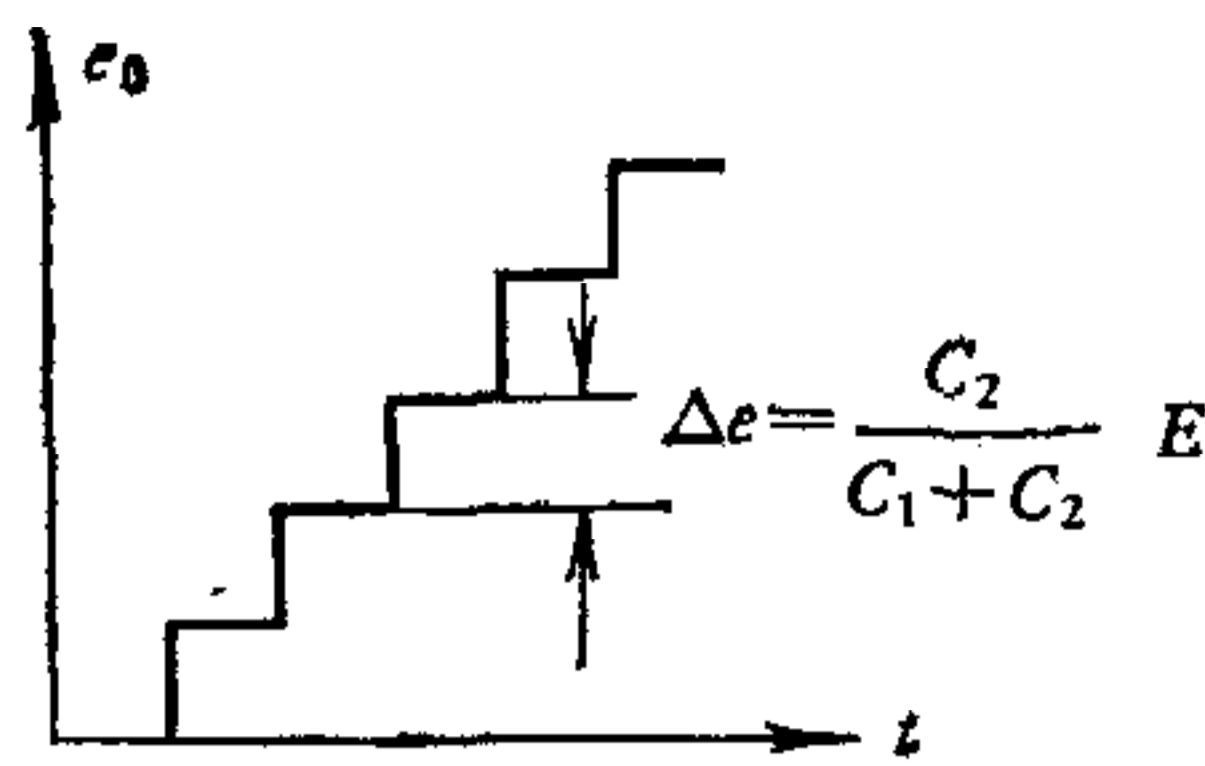


图 8

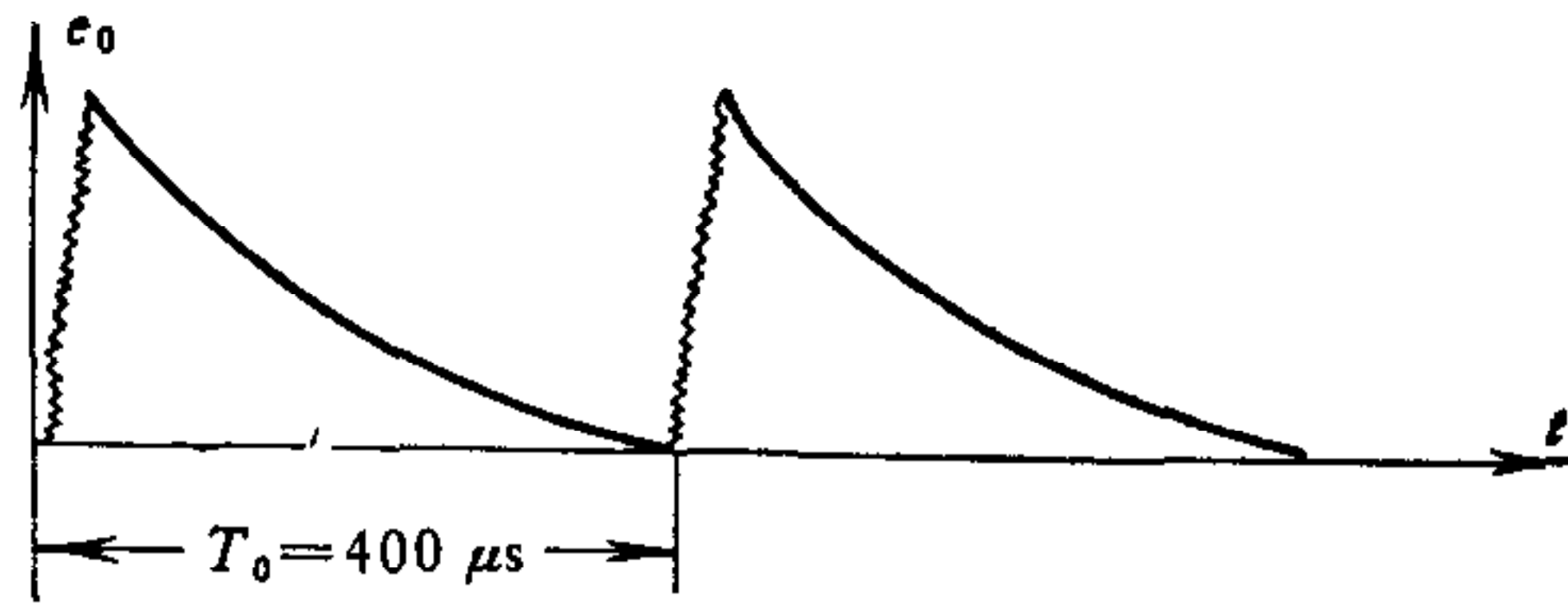


图 9

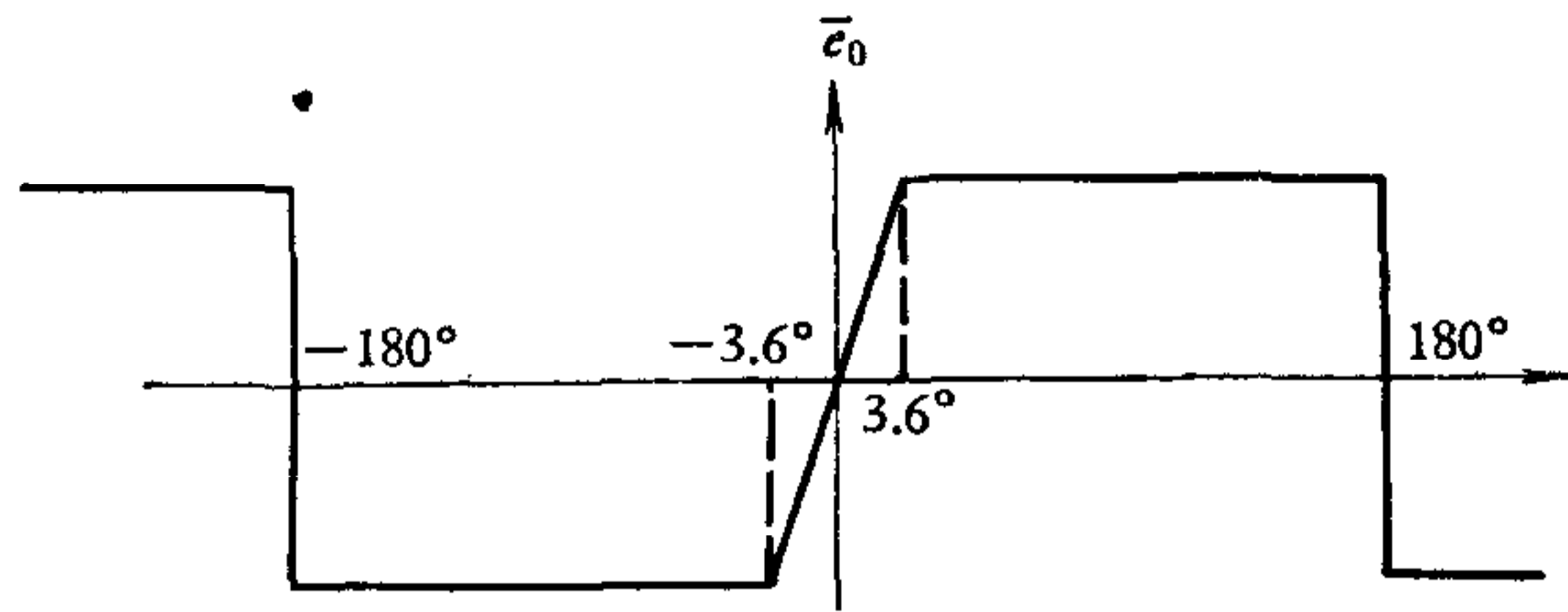


图 10

振荡器就是一般的电容反馈 LC 振荡器，其频率稳定度为 10^{-4} 。由于这是一些常用的线路，这里就不一一介绍了。

三、锁相回路的动态分析

图 11 为锁相回路的框图。图中 θ_1 表示从测角元件感应同步器来的信号的相位变化。 θ_2 是锁相回路的输出，即压控振荡器的相位变化。 θ_2' 是分频后加到检相器上的 2.5KHz 的相位变化。图中第二个环节为滤波器，滤波器的时间常数 $T = 0.47\text{ms}$ 。第三个环节是压控振荡器，其增益系数 $K_f = 18 \times 10^6$ 度/伏。

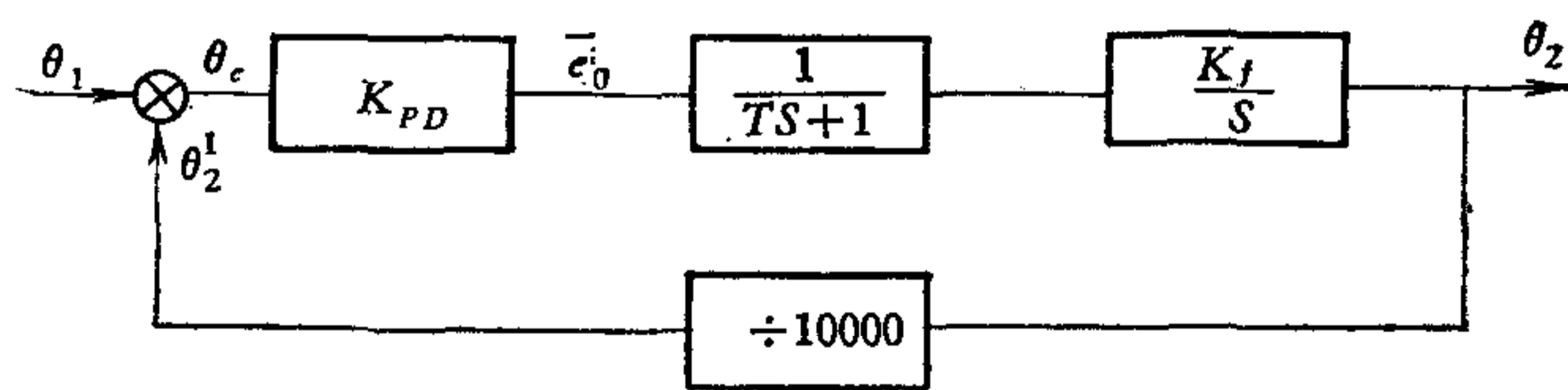


图 11

系统的开环增益为

$$K = K_{PD}K_f/10^4 = 6.3 \times 10^2 \text{ 秒}^{-1}$$

图 11 所对应的系统的方程式为

$$T \frac{d^2\theta_c}{dt^2} + \frac{d\theta_c}{dt} + K\theta_c = 0 \tag{1}$$

我们在上面已经说明，检相器的线性范围为 $\pm 3.6^\circ$ ，所以式 (1) 只适用于 $|\theta_c| < 3.6^\circ$ 。超出线性范围时检相器饱和，系统的特性就要用 (2) 式来描述

$$\begin{cases} T \frac{d^2\theta_c}{dt^2} + \frac{d\theta_c}{dt} = -K\theta_{co}, & \theta_c \geq \theta_{co} \\ T \frac{d^2\theta_c}{dt^2} + \frac{d\theta_c}{dt} = +K\theta_{co}, & \theta_c \leq -\theta_{co} \end{cases} \tag{2}$$

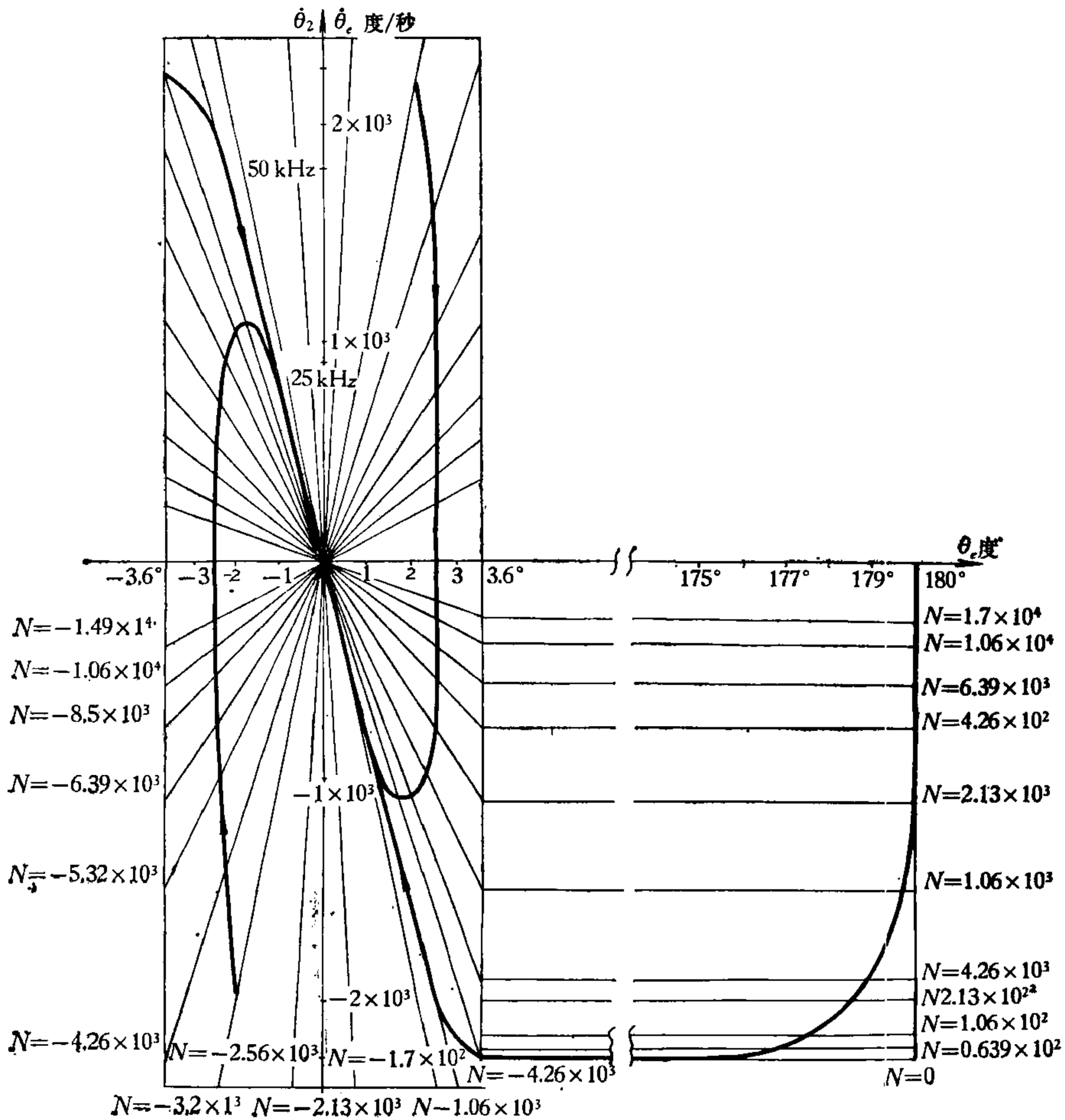


图 12

式中 $\theta_{e0} = 3.6^\circ$.

图 12 为该系统的相平面图。图中纵坐标同时标有 θ_2 的比例,即压控振荡器的频率。从图中可以看到只要 25MHz 的压控振荡器的频率差小于 126KHz,系统既不会失锁,也不会发生跳周现象。

我们的锁相回路主要是与感应同步器配合用于高精度低速伺服系统。根据设计,伺服系统的最高速率不超过 $10^\circ/\text{秒}$ 。若感应同步器按 360 对极计算,这 $10^\circ/\text{秒}$ 对应于感应同步器的相位变化为 10 周/秒,折算到压控振荡器则为 100KHz。按上面所分析的 126KHz 的线性范围来说,虽能满足要求,但已接近边缘,所以实际应用时,这个系统宜加积分校正。校正的参数可用一般的反馈理论来计算。

除了稳定性以外,锁相回路动特性的一个主要指标是带宽。带宽窄一些可以滤去输入信号中的高频噪声,从而使整个增量编码线路有可能应用到实际的伺服系统中去。但带宽太窄不易抑制回路本身存在的各种噪声干扰(例如压控振荡器本身的频率稳定度并不太高)。我们设计时曾取带宽为 100Hz,见式(1)所对应的参数。实际调试表明带宽

以 200Hz 为宜。若根据设计或具体元件特性要求回路有较大的增益时，则应该加积分校正而不宜再加大带宽。

四、实验结果

我们这个设计方案，经过调试，与其他电子线路配合可以做到 0.0001° （机械角）的分辨率。目前由于其他部件参数所限（元件和工艺限制），我们第一台样机中机械角的分辨率为 0.0002° 。

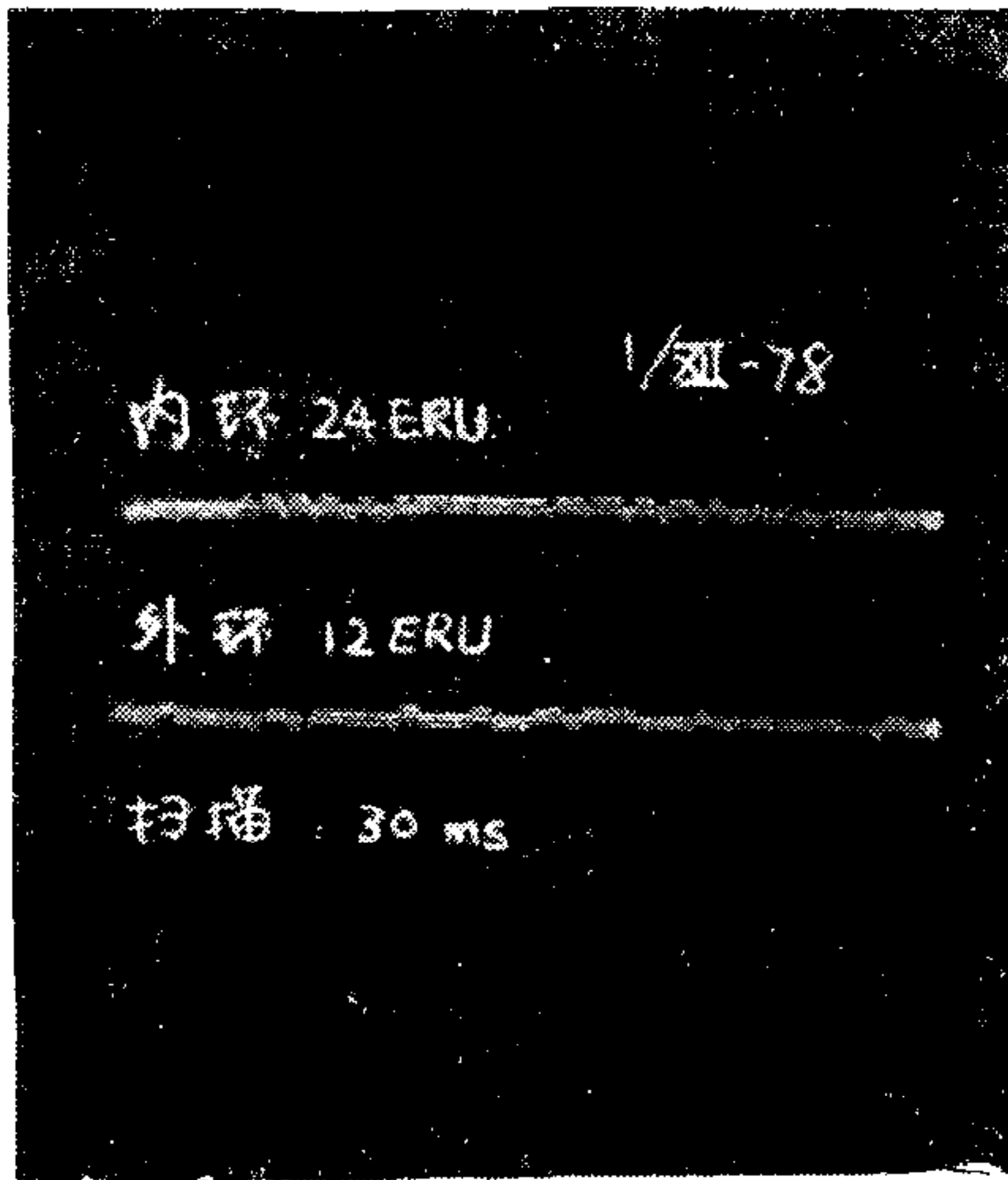


图 13

增量编码线路。图中所示就是内环以 24 倍地球速率，外环以 12 倍地球速率旋转时的这两个轴的跟踪误差。从波形图上可以看到波动量为 ± 1 ，对应于 $\pm 0.0002^\circ$ 。当然这个波动量是与整个伺服系统的动态性能有关的，但这图形清楚地说明了锁相回路的工作，表明整个编码线路的分辨率为 0.0002° 。

调试时我们在图 1 所示线路的输出端接一可逆计数器。调试表明，当锁相回路的带宽为 200Hz，用标准的 2.5KHz 方波作为输入信号时，可逆计数器无翻转。当接到实际的感应同步器时，由于存在噪声干扰，可逆计数器有一个字的跳动。在实际伺服系统中这个可逆计数器也是系统的比较环节，其输出就代表失调角，再通过数模转换实现反馈控制。图 13 就是当系统在低速伺服工作状态下，这个数模转换器的输出波形。我们实际是使用在一双轴伺服转台上的，每一轴配有一套

参 考 文 献

- [1] G. S. Oshiro, et al., Exclusive-OR Gates Replace Choppers in Phase-Lock Loop, *Electronic Design*, **18** (1970), No. 3, 73—75.
- [2] A. W. Moore, *IEEE Spectrum* **10** (1973), No.4, 61—67.

DESIGN CONSIDERATIONS OF A DIGITAL PHASE-LOCKED LOOP WITH HIGH RESOLUTION

WANG GUANG-XIONG SU BAO-KU
(Harbin Institute of Technology)

ABSTRACT

In this paper the design considerations of a digital phase-locked loop are outlined. The dynamics of the PLL is also discussed briefly.