

# 流水型脉冲多卜勒雷达复数 信号 FFT 处理机

洪远麟 康继昌  
(西北工业大学)

## 摘 要

本文采用双重流水、并行处理、交替缓冲存贮等技术,使 256 复数点 FFT 处理时间达到 0.224ms,以满足脉冲多卜勒雷达高速处理的要求。

## 一、双重流水设计

### 1. 蝶形运算流水

FFT 处理的核心是蝶形运算。为了简化变址部件的结构,笔者选用了类似 Singleton 的算法<sup>[1]</sup>。每列迭代运算中取数及存数的地址变化规律完全一样。所采用的基 2 算法公式为:

$$\begin{aligned}\hat{A} &= A + B = (a + ja') + (b + jb') = (a + b) + j(a' + b'), \\ \hat{B} &= (A - B) \cdot W = [(a - b) \cos \theta + (a' - b') \sin \theta] \\ &\quad + j[(a' - b') \cos \theta - (a - b) \sin \theta].\end{aligned}$$

计算分为以下几步:

- 1) 从存贮器取复数  $A$  和  $B$ , 并计算  $(A + B)$  及  $(A - B)$ , 简称预处理;
- 2) 计算复数乘法  $(A - B) \cdot W$ ;
- 3) 计算结果  $\hat{A}$  和  $\hat{B}$  存入存贮器。

为了加快速度,实部和虚部各有一套运算部件作并行处理,而且每套运算部件又由预处理器和乘法器两部分组成。两者安排成流水方式工作。图 1 为蝶形运算流程的示意图。

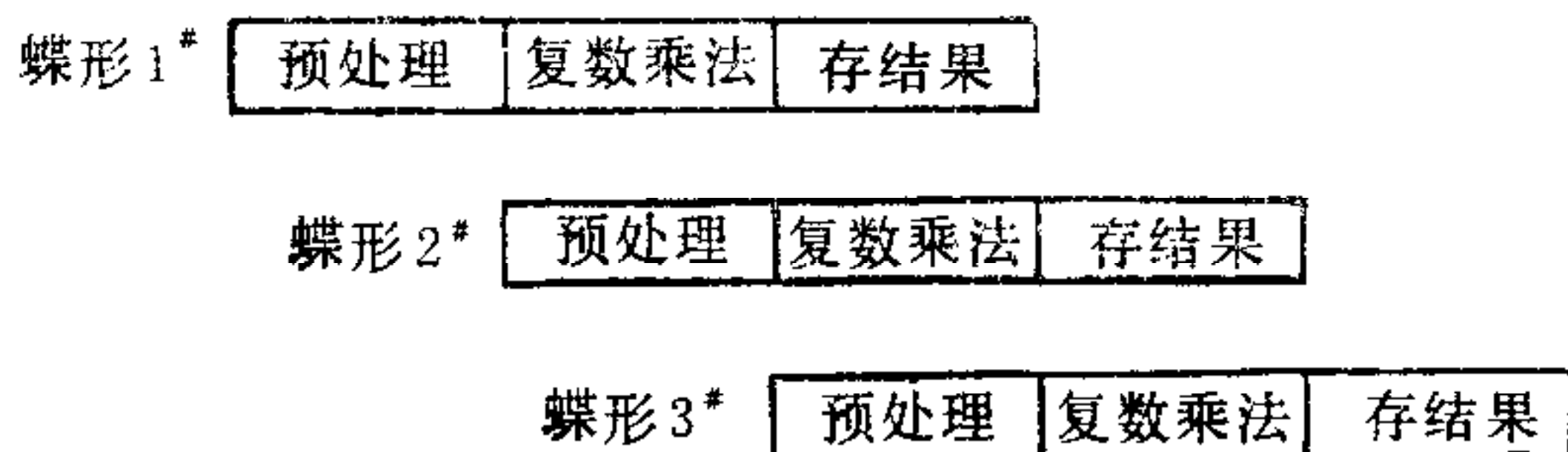


图 1 蝶形运算流水图

虽然每个蝶形运算需要三大拍时间,但采用流水结构以后, $n$  个蝶形运算只需  $(n + 2)$  大拍,而不是  $3n$  大拍。这是本处理机的部件级流水设计。

### 2. 处理机级的流水

整个复数 FFT 运算的处理过程如下：

- 1) 窗加权运算：采用 Hamming 窗函数<sup>[1]</sup>；
- 2) 蝶形迭代运算：基 2 算法；
- 3) 取模运算：为了避免开方运算，采用四区间逼近算法，即选取

$$\{|I|, |Q|, |I|/2 + 7|Q|/8, |Q|/2 + 7|I|/8\}$$

四个值中的最大值。相对于 $\sqrt{I^2 + Q^2}$  真实值的误差不超过 3%。

- 4) 输出计算结果：取模以后谱线值以正序形式输出给后继的恒虚警电路。

窗加权运算和蝶形运算比较接近，故都由上述的运算部件来完成。取模运算则由另外设置的取模运算器来完成。两个运算器接力完成整个处理过程。这是处理机级的流水设计。流水图见图 2。

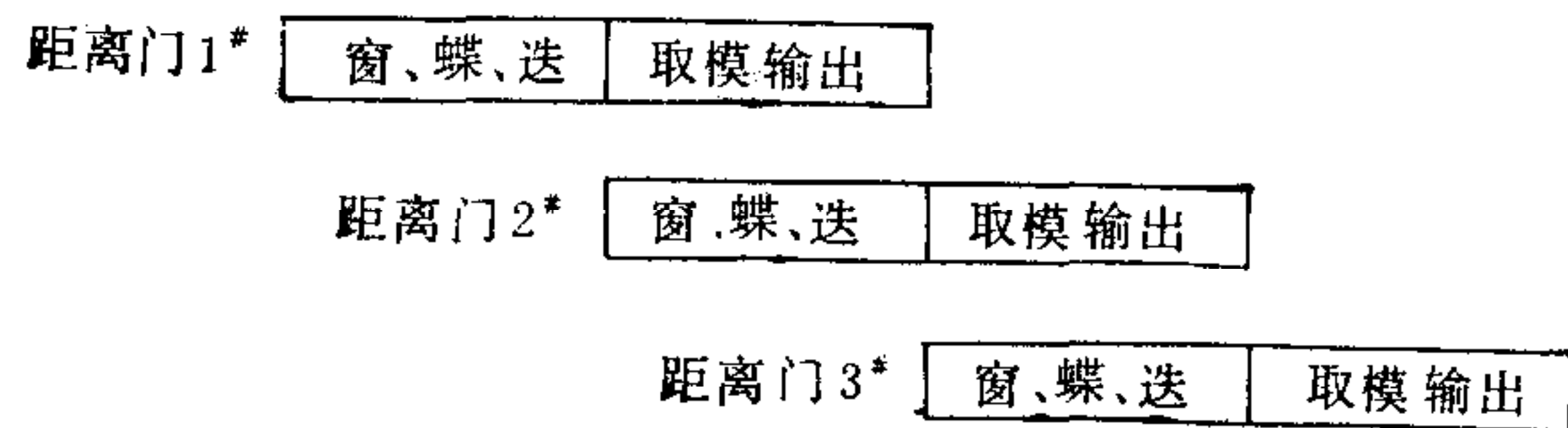


图 2 处理机级流水图

采用了双重流水结构和并行处理技术，再辅以 ECL 高速器件，可满足了多卜勒雷达的速度要求。

## 二、交替缓冲存贮设计

图 3 是本处理机的总框图。其中 RAM1, RAM2, RAM3 都是双体交替工作，以满足不间断的实时处理的要求。

RAM1 为一般的 (T2114) MOS 存贮器，每  $0.9\mu s$  采集一个复数点。I 体采满一帧

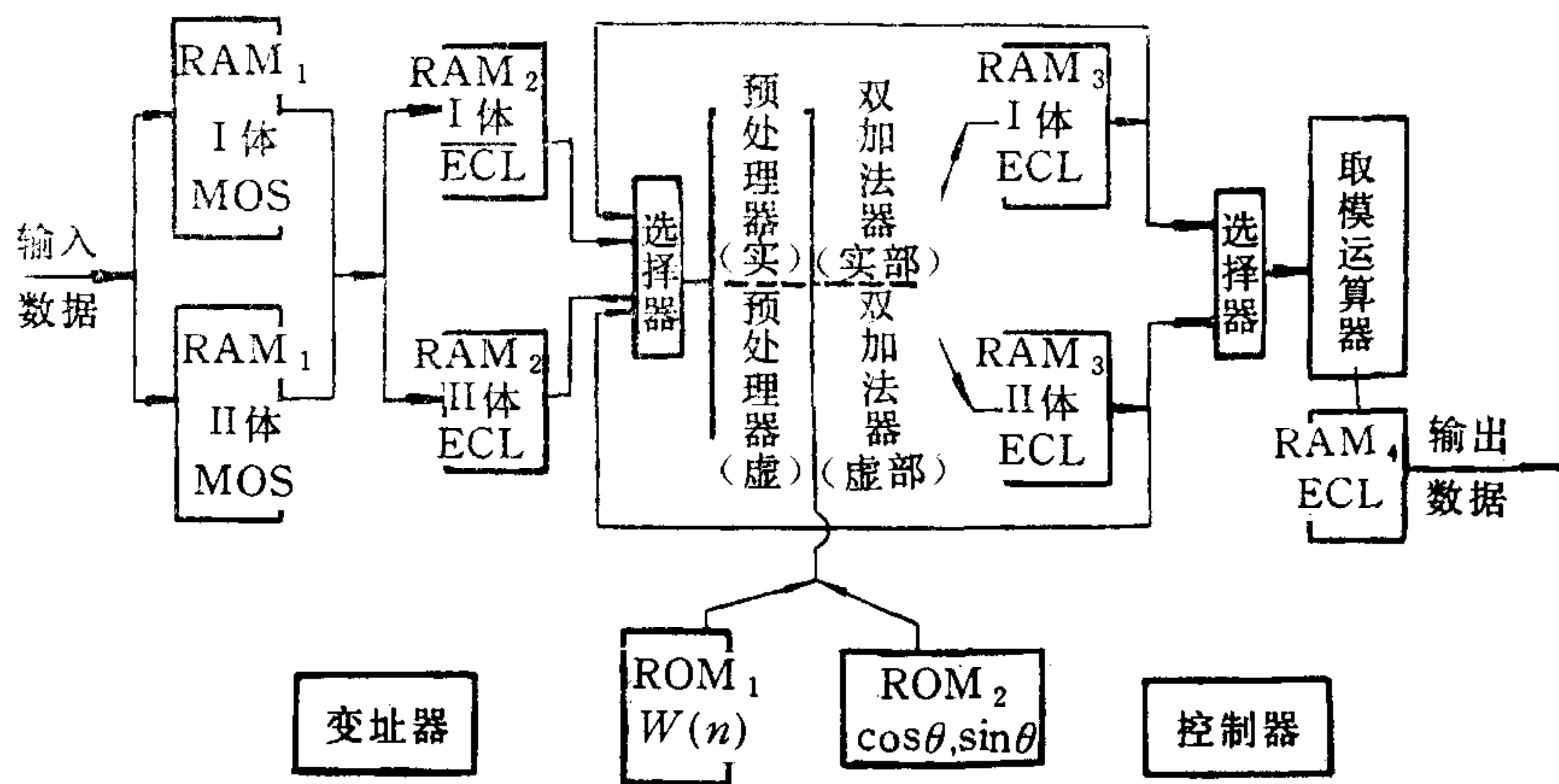


图 3 处理机总框图

(16 个距离门,每个距离门为 256 点,共 4096 点)后,接着由 II 体采集数据. 两体交替工作,保证采集数据的连续性.

为了配合运算器作高速运算, RAM2 和 RAM3 均为 ECL 高速存贮器. 第一个距离门的 256 点数据以低速从 RAM1 送入 RAM2 的 I 体后,即可以高速向运算器提供数据(每 96ns 提供一个数据). RAM2 I 体工作的同时,第二个距离门的 256 点数据送入 RAM2 的 II 体. 两体也是交替工作.

有了大容量的低速存贮器作数据缓冲,高速存贮器的容量就可以大为节省,从而降低成本.

中间计算结果送往 RAM3, I、II 两体同理交替工作,保证输出计算结果的连续性.

### 三、总 框 图

以上已介绍了本处理机主要的设计特点. 下面对总框图稍作进一步的说明.

存贮器除了上述的六个体以外,还有 RAM4 用来存贮计算结果, ROM1 用于存放窗函数, ROM2 则用来存贮三角函数. 因此,总共有九个存贮体.

运算部件中,预处理器和取模运算器都只作简单的加、减法运算. 乘法器实际上由双加法器组成<sup>[2]</sup>. 实部计算  $[(a - b)\cos\theta + (a' - b')\sin\theta]$ , 虚部则计算  $[(a' - b')\cdot \cos\theta - (a - b)\sin\theta]$ . 两者都包含两个实数乘法和一个实数加法. 双加法器可把两个乘法和一个加法合起来做,总共只化一个实数乘法的时间. 这是一种隐含的并行处理技术.

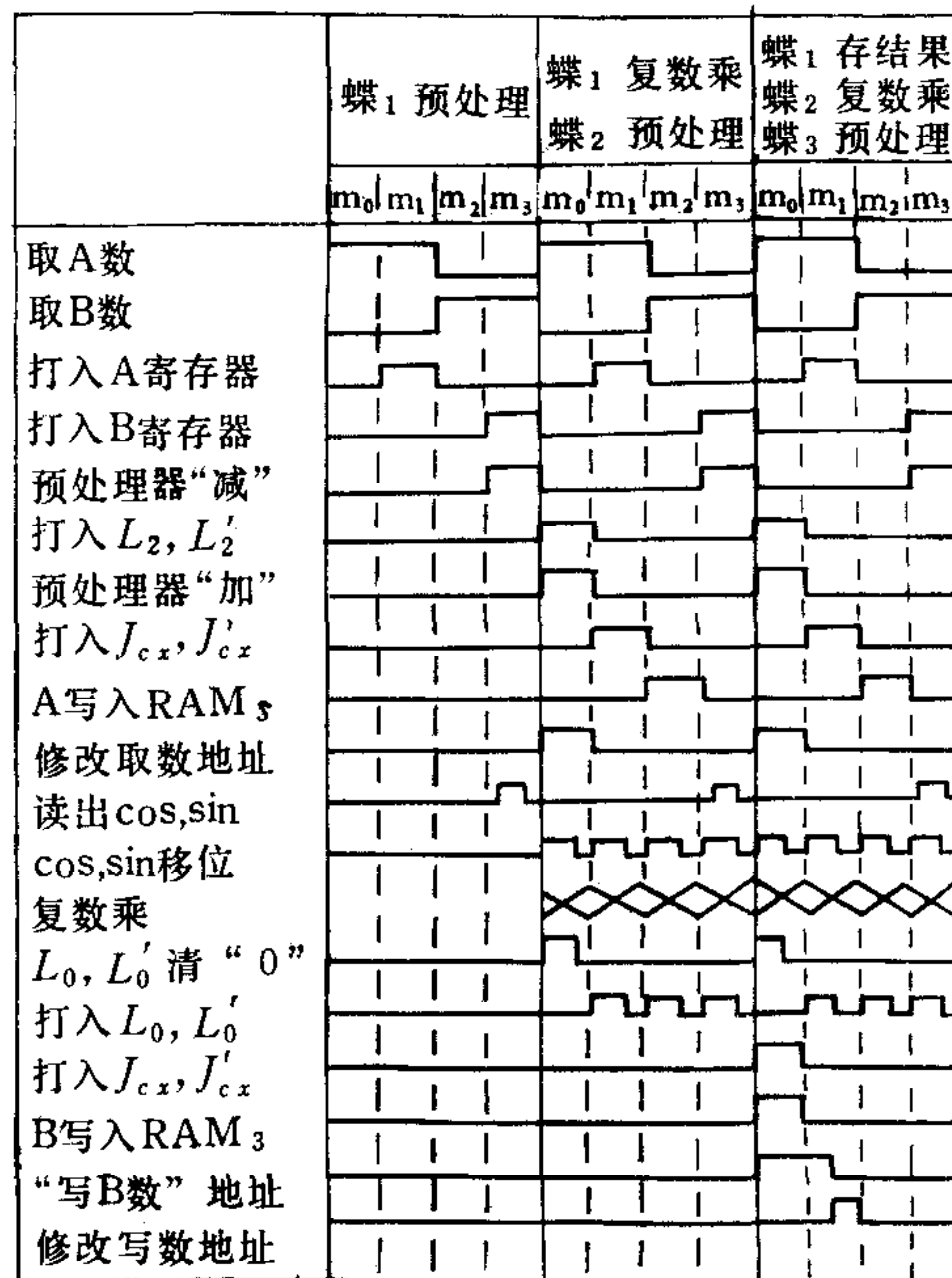


图 4 蝶形迭代运算控制流程图

乘法器中含有四个加法器,整个处理机共有七个加法器。按 48ns 完成一次加法来计算,本机最高速度可达每秒 1.4 亿次加法。

变址器是针对变址规律特殊设计的计数电路。

控制器全部由树形逻辑组成,以满足高速要求。时钟主频为 41.7 兆赫,最窄脉冲取为 24ns,每小拍时间为 48ns,每大拍为 192ns,分别由  $m_0, m_1, m_2, m_3$  四小拍组成。图 4 是蝶形迭代运算控制流程图。图中只画了三大拍,以后各大拍的波形和第三大拍完全相同。

## 四、结 束 语

本机原理样机已初步研制成功,通过了校内鉴定。由于现在已有可能采用更加先进的大规模集成电路来设计高速信号处理机,故研制工作暂告一段落,但本机的设计思想对以后的工作仍有参考价值。

## 参 考 文 献

- [1] Oppenheim, A. V., Schaffer, R. W., Digital Signal Processing, Prentice-Hall Inc., 1975.
- [2] 康继昌、徐乃平、洪远麟、吕传生, 626 型快速傅里叶变换处理机,自动化学报 6(1980),294—301.

## A PIPE-LINE COMPLEX SIGNAL FFT PROCESSOR FOR PULSE-DOPPLER RADAR

HONG YUANLIN    KANG JICHANG  
(Northwestern Polytechnical University)

### ABSTRACT

Some new techniques of duplex pipe-line, parallel processing, alternate buffer memory, etc. are used to satisfy the high-speed requirement of signal processing for the pulse-doppler radar. The FFT processing time of 256 points of complex number is only 0.224 ms.