

一种超低相位噪声频率合成源方案设计

王李飞^{1,2} 张宁^{1,2} 彭子健^{1,2} 薛沛祥^{1,2} 李维亮^{1,2}

摘要 频率合成源是射频发生和频谱分析中最重要的组成之一, 评价合成源性能指标的是输出信号的相位噪声、杂散、频率分辨率和频率切换时间. 本文通过分析传统锁相环原理, 提出一种通用的超低相位噪声合成源设计方案 (带宽 100 MHz 以内). 在锁相环基础上, 通过引入直接数字合成 (Direct digital synthesizer, DDS) 混频鉴相技术, 使得到的射频信号理论值达到 0.1 MHz 的频率分辨率, 同时将带内相位噪声指标优化 17 dB 以上. 新方案同时兼顾了杂散和频率切换时间指标, 保障合成源的输出信号稳定可靠, 使其在自动测试领域拥有广阔的应用前景.

关键词 频率合成源, 锁相环, 极高分辨率, 超低相位噪声

引用格式 王李飞, 张宁, 彭子健, 薛沛祥, 李维亮. 一种超低相位噪声频率合成源方案设计. 自动化学报, 2017, 43(12): 2225–2231

DOI 10.16383/j.aas.2017.c160162

A Ultralow-phase-noise Scheme for Frequency Synthesizer

WANG Li-Fei^{1,2} ZHANG Ning^{1,2} PENG Zi-Jian^{1,2} XUE Pei-Xiang^{1,2} LI Wei-Liang^{1,2}

Abstract Frequency synthesizer is one of the most important component of RF generator and spectrum analysis. The performance of its output signal is evaluated in terms of phase noise, scattering, frequency resolution and frequency hopping time. By analyzing the traditional theory of phase-locked loop, a ultralow-phase-noise scheme for the frequency synthesizer is put forward (bandwidth within 100 MHz). In order to make the frequency resolution of the output signal reach to 0.1 MHz in theory and optimize the in-band phase noise over 17 dB, direct digital synthesizer (DDS) and mixer phase detection technology based on phase-locked loop are introduced. Consideration is also given to both scattering and frequency hopping time to ensure the output signal is stable and reliable. The synthesizer has a good application in the field of automatic test.

Key words Frequency synthesizer, phase-locked loop, high resolution, ultralow phase noise

Citation Wang Li-Fei, Zhang Ning, Peng Zi-Jian, Xue Pei-Xiang, Li Wei-Liang. A ultralow-phase-noise scheme for frequency synthesizer. *Acta Automatica Sinica*, 2017, 43(12): 2225–2231

随着芯片集成度的提高以及测量仪器的发展, 对频率合成源的频段、相位噪声、频率切换时间、频率分辨率等指标的要求不断提高. 在目前的高性能频率合成源研发中, 通常引入低相噪的窄带源与锁相环中压控振荡器的反馈信号进行混频鉴相优化输出信号的相位噪声指标, 其中的窄带源信号采用锁相环的方式获得^[1]. 这种方法虽然可以一定程度的优化输出信号的相位噪声指标, 但是因为锁相环路自身引入的数字噪声, 导致整体方案的近端相噪优化幅度并不大, 而且无法从根本上获得超低的相位噪声指标.

目前的频率合成源信号通常会采用直接数字合成 (Direct digital synthesizer, DDS) 方式获得超高的频率分辨率指标, 主要是将 DDS 合成的超高分辨率的低频信号作为参考信号, 直接送入锁相环路中, 通过 R 分频后进行环路鉴相^[2]. 因为 DDS 自身的量化误差和 DAC (Digital to analog converter) 误差会导致杂散信号过多, 同时近端相噪指标相对于参考晶振指标会严重恶化, 导致锁相环路的参考信号相噪指标恶化, 最终的输出信号相噪指标变差. 所以该方案无法兼顾信号的相位噪声指标.

本文介绍的合成源方案, 环路中通过引入 DDS 和超低相噪的点频源进行混频鉴相, 在兼顾环路锁相时间和输出信号杂散等指标的前提下, 获得一种通用的超低相位噪声和超高频率分辨率的高频合成源信号, 使得最终的输出信号相噪指标相对于传统方案优化 17 dB, 同时频率分辨率理论值达 0.1 MHz.

1 锁相环介绍及相位噪声分析

锁相环电路结构如图 1 所示, 是一个相位负反馈的自动控制系统, 其能够跟踪相位, 实现输出

收稿日期 2016-02-28 录用日期 2016-10-14
Manuscript received February 28, 2016; accepted October 14, 2016

电子测试技术重点实验室基金项目 (9140C120201130C12050) 资助
Supported by Project of Science and Technology on Electronic Test & Measurement Laboratory (9140C120201130C12050)

本文责任编辑 辛景民

Recommended by Associate Editor XIN Jing-Min

1. 电子测试技术重点实验室 青岛 266555 2. 中国电子科技集团公司第四十一研究所 青岛 266555

1. Science and Technology on Electronic Test & Measurement Laboratory, Qingdao 266555 2. The 41st Research Institute of CETC, Qingdao 266555

信号与输入信号的相位同步. 锁相环电路主要由参考分频器 (R)、鉴相器 (Phasedetector, PD)、环路滤波器 (Loop filter, LPF)、压控振荡器 (Voltage-controlled oscillator, VCO) 和反馈分频器 (N) 组成. 电路中将 VCO 的 N 分频信号与参考信号的 R 分频信号鉴相, 通过鉴相器输出与两种信号相位成正比误差信号. LPF 将相位误差转换为电压信号, 送至 VCO 调谐输出频率, 当两鉴相信号频率相同时, 鉴相器输出稳定的相位差, 环路锁定^[3-5].

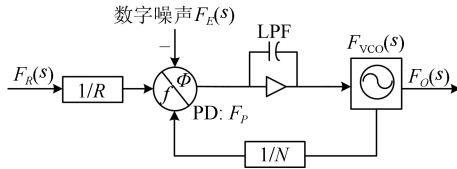


图 1 锁相环电路结构框图
Fig. 1 PLL circuit structure

环路中的噪声来源主要有三个, 分别为参考源 F_R , 因数字鉴相器中电流脉冲和时间抖动引起的数字噪声 F_E 和 VCO 引入噪声 F_{VCO} ^[6-8].

$$F_O(s) = \frac{N}{1 + G(s)} \times F_{VCO}(s) + \frac{N}{R} \cdot \frac{G(s)}{1 + G(s)} \times F_R(s) + \frac{N}{K_D} \cdot \frac{G(s)}{1 + G(s)} \times F_E(s) \quad (1)$$

最终输出信号 $F_O(s)$ 的闭环传递函数见式 (1), 式中 $G(s)$ 为环路的开环传递函数, N 为 VCO 反馈分频比, R 为参考信号鉴相分频比, K_D 为数字噪声 F_E 的鉴相增益^[5].

式 (1) 中各变量的传递参数在其频域特性如图 2 所示, 图中 ω 为锁相环的环路带宽, 从图中可以看出, 锁相环对输入信号 F_R 、 F_E 表现为低通, 而对 F_{VCO} 表现为高通, 所以当输出信号 F_O 的带宽 $\omega < \omega_c$ 时, F_O 的相噪由 F_R 和 F_E 的相噪和决定; 当 $\omega > \omega_c$ 时, F_O 的相噪由 F_{VCO} 的相噪决定. 最终, 锁相环输出信号 F_O 的相噪为所有信号的相噪功率谱密度之和^[5], 即:

$$L_O = 10 \lg \left(10^{\frac{N_{VCO}}{10}} + 10^{\frac{N_R}{10}} + 10^{\frac{N_E}{10}} \right) \quad (2)$$

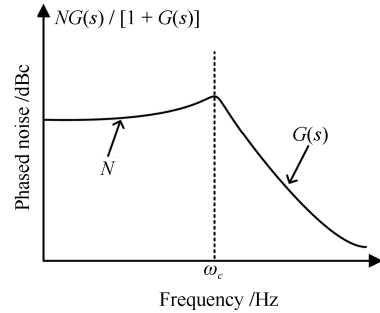
式中

$$N_{VCO} = L_{VCO} + 20 \lg \left(\left| \frac{N}{1 + G(s)} \right| \right) \quad (3)$$

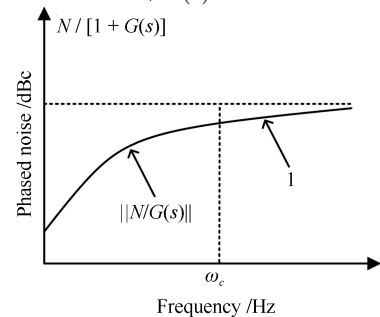
$$N_R = L_R + 20 \lg \left(\left| \frac{N \times G(s)}{1 + G(s)} \right| \right) \quad (4)$$

$$N_E = 20 \lg(2\pi\sigma) + 10 \lg F_P + 20 \lg \left(\left| \frac{N \times G(s)}{1 + G(s)} \right| \right) \quad (5)$$

式中 $F_P = F_R/R = F_{VCO}/N$. N_{VCO} 是 VCO 的相噪, L_{VCO} 为 VCO 自身的相噪; N_R 为参考信号的相噪, L_R 为参考信号自身的相噪; N_E 为数字噪声的相噪, 其中 $20 \lg(2\pi\sigma)$ 为鉴相器的相位噪声基底 (Normalized phased noise floor), 由鉴相器芯片资料提供^[9]; F_P 为环路的鉴相频率 (Hz). 各部分相噪表现如图 3.



(a) $\frac{N \cdot G(s)}{1 + G(s)}$ 频域特性
(a) $\frac{N \cdot G(s)}{1 + G(s)}$ character



(b) $\frac{N}{1 + G(s)}$ 频域特性
(b) $\frac{N}{1 + G(s)}$ character

图 2 传递参数频域特性

Fig. 2 Passing parameters character on frequency domain

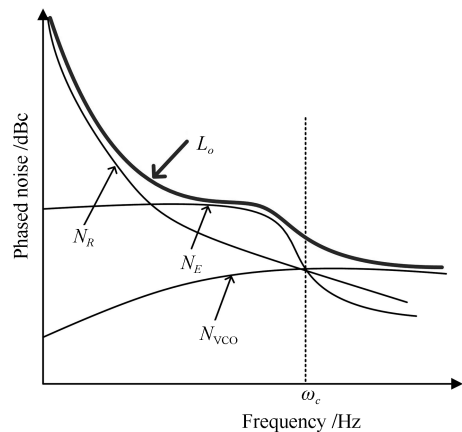


图 3 锁相环中各输入信号相噪谱表现

Fig. 3 Input signals' phase noise spectrum performance in the PLL

最终的输出信号 F_O 带内相噪主要由 N_R 和 N_E 中较差的决定, 而一般选用的 F_R 要求谱纯度极高 (即 $N_R \leq N_E$). 因此锁相环中, 环路带宽以内的相位噪声主要由 N_E 决定, 而环路带宽以外的相位噪声由 N_{VCO} 决定, 最终 F_O 的相噪计算见式 (6).

$$L_O = \begin{cases} 20 \lg(2\pi\sigma) + 10 \lg F_P + 20 \lg N, & \omega < \omega_c \\ L_{VCO}, & \omega \geq \omega_c \end{cases} \quad (6)$$

2 新方案介绍以及性能指标分析

2.1 新方案原理介绍

相位噪声、频率分辨率以及频率切换时间、杂散等是射频信号最重要的指标, 新方案将从优化这几项指标方面进行设计. 对传统锁相环电路结构的分析可知, 近端相位噪声指标主要由 F_E 决定, 从式 (6) 可以看出, 在保证输出信号满足要求的情况下, 可以减小反馈回路的分频系数 N 而优化带内相位噪声指标, 如果在 VCO 的反馈回路引入 100 MHz 的整数倍信号 F_X (保证 $F_O - F_X \leq 100$ MHz), 与 F_O 的反馈信号混频获得 100 MHz 以内的信号, 经过 R 分频后参与环路鉴相, 可以消除反馈回路的分频系数 N , 达到优化带内 N_R 和 N_E 的相位噪声的目的.

射频信号的频率分辨率直接决定了测量仪器的测试精度, 而传统锁相环中 $R \times F_O = N \times F_R$, 所以其频率分辨率主要由分频器 N 和 R 的最小分频比决定, 受限于小数分频器自身原理结构, 最终传统锁相环方案中相对于 GHz 的射频信号, 其频率分辨率最高只能达到 Hz 级别. 在新方案中通过引入直接数字合成加混频技术 (DDS 混频), 因 DDS 采用相位累加技术可以得到极高的频率分辨率, 使得最终射频输出信号的频率分辨率达到 0.1 mHz 级别.

通过上述分析得到新方案的方案框图如图 4. 在新方案中, 首先, 将 100 MHz 参考信号经过 M 次整数倍频后得到 F_M , $F_M = M \times 100$ MHz, 经功分器分两路, 第一路 F_M 送入 DDS 进行频率合成, 得到 F_{DDS} (频率范围 100 MHz ~ 130 MHz 的窄带信号), 然后通过多级带通滤波器进行带外滤波, 输出信号与第二路 F_M 混频, 获得 F_N ($F_N = F_M + F_{DDS}$, 带宽 30 MHz), 这样得到的窄带信号频率分辨率达 0.1 mHz, 经过 N 分频器分频后送入鉴相器鉴相, $F_P = F_N/N$. 最终当环路锁定后, 鉴相频率 F_P 和输出信号 F_O 分别满足式 (7) 和 (8).

$$F_P = \frac{F_N}{N} = \frac{F_M + F_{DDS}}{N} = F_O - F_X \quad (7)$$

$$F_O = F_X + \frac{F_M + F_{DDS}}{N} \quad (8)$$

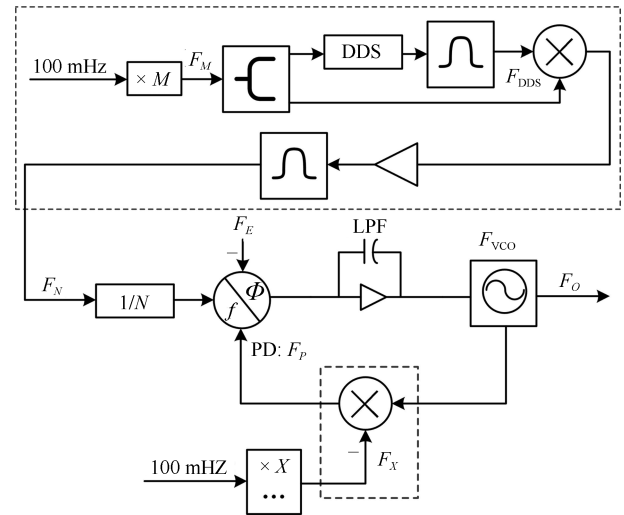


图 4 新方案原理框图

Fig. 4 The new scheme block diagram

2.2 新方案相位噪声指标分析

在图 4 新方案中, 通过引入 F_X 进行混频消除了锁相环中分频系数 N 对相噪恶化的影响, 通过引入 DDS 混频鉴相提高了 F_O 的频率分辨率指标. 新方案最终输出信号 $F_O(s)$ 的闭环传递函数见式 (9).

$$F_O(s) = \frac{1}{1 + G(s)} \times F_{VCO}(s) + \frac{1}{N} \cdot \frac{G(s)}{1 + G(s)} \times F_N(s) + \frac{1}{K_D} \cdot \frac{G(s)}{1 + G(s)} \times F_E(s) + \frac{G(s)}{1 + G(s)} \times F_X(s) \quad (9)$$

从式 (9) 可以看出, 最终环路带宽以内的信号相噪指标主要由 F_N 、 F_E 和 F_X 中相噪较差的信号指标决定, 而 F_N 的 N 次分频信号作为新方案的参考信号代替传统方案中的 F_R , 为保证新方案的最终输出信号相噪指标不会因引入 DDS 而恶化, 这里必须保证 F_{DDS} 的相噪指标 N_{DDS} 优于 100 MHz 的 M 次倍频信号 F_M 的相噪指标 N_M , 即 $N_{DDS} \leq N_M$.

新方案环路的最终输出相噪见式 (10), 通过与式 (2) 比较发现, 相对于传统锁相环方案, 新方案中信号 F_E 的相位噪声优化了 $20 \lg N$, 但是引入了新的信号源 F_N 和 F_X . 另外环路带宽以外的相位噪声指标也得到了优化. 比较 N_X 、 N_N 和 N_E 发现, F_N 经过 N 次分频后相噪指标优化了 $20 \lg N$, F_X 为 100 MHz 的 X 次整数倍, $F_X \gg F_P$, 所以环路带宽内的相位噪声主要由 N_X 决定. 因此新方案中 F_X 成为能否获得超低相噪的关键. 其中新方案各输入信号相噪谱表现如图 6 所示.

$$L_O = 10 \lg \left(10^{\frac{N_{VCO}}{10}} + 10^{\frac{N_N}{10}} + 10^{\frac{N_E}{10}} + 10^{\frac{N_X}{10}} \right) \quad (10)$$

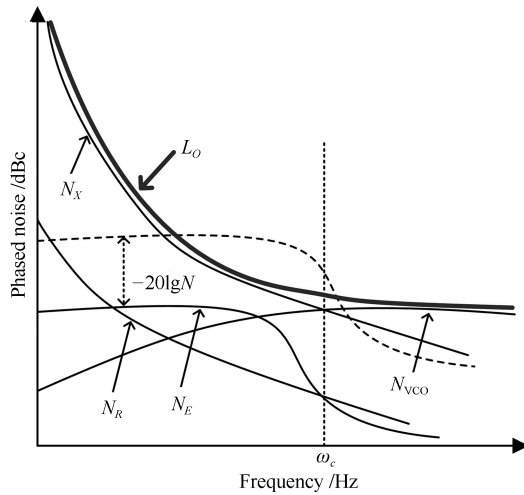


图 5 新方案各输入信号相噪表现

Fig. 5 Input Signals' phase noise spectrum performance in the new scheme

式中

$$N_{VCO} = L_{VCO} + 20 \lg \left(\left| \frac{1}{1 + G(s)} \right| \right) \quad (11)$$

$$N_N = L_N + 20 \lg \left(\left| \frac{G(s)}{1 + G(s)} \right| \right) - 20 \lg(N) \quad (12)$$

$$N_E = 20 \lg(2\pi\sigma) + 10 \lg F_P + 20 \lg \left(\left| \frac{G(s)}{1 + G(s)} \right| \right) \quad (13)$$

$$N_X = L_X + 20 \lg \left(\left| \frac{G(s)}{1 + G(s)} \right| \right) \quad (14)$$

这里 F_X 为 100 MHz 的整数倍点频, 且 $F_O - F_X \leq 100$ MHz. 目前主要有三种方式获得: 第一种为锁相环方案, 但是该方案得到的信号相位噪声与传统方案相同, 甚至在新方案中因引入复杂的电路结构导致恶化, 所以新方案中 F_X 不能使用锁相环获得. 第二种方案为整数倍频方案, 直接经过 M 次整数倍频获得 F_X . 第三种方案为混频方案, 通过对 100 MHz 基准信号进行放大、滤波、混频等处理, 最终获得想要的 F_X 信号. F_X 的具体产生方式如图 6 所示, 下面就两种方案获得的信号相位噪声作具体分析.

对于混频方案, 混频是对两输入信号实现了加法或减法, 所以混频器的输出信号相位噪声为两输入信号的相位噪声之和, 具体计算同式 (2), 最终的相位噪声主要取决于相位噪声较差的信号, 而当两信号相位噪声相同时, 输出信号相对于输入信号的相噪恶化 $10\lg 2 = 3$ dB.

对于倍频方案, 经过 M 次整数倍频后信号相噪会恶化 $20\lg M$, 当 $M = 2$ 时, 信号相噪会恶化 6 dB, 与混频方案比较发现, 相同的输出频率下, 采用混频方案, 相噪会优化 3 dB. 但是混频电路对信号质量要求较高, 需要增加多级放大、混频、滤波等电路保证

信号质量, 所以在实际应用中, 在成本、电路空间允许的情况下, 建议优先使用混频电路.

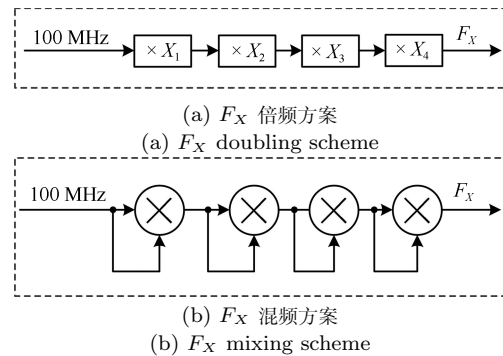


图 6 F_X 产生方案框图

Fig. 6 F_X signal generation block diagram

3 实际工程应用

3.1 工程应用介绍

在工程应用中, 选用高纯度的 100 MHz 基准信号, 其相噪指标为 -163 dBc@10 kHz, 这样保证了在传统的锁相环方案中, $N_R \leq N_E$, 使数字噪声成为制约信号相位噪声的主要因素.

在传统方案中, 如果输出 $F_O = 3250$ MHz, $F_R = 100$ MHz, 令 $R = 2$, 得到 $F_P = 50$ MHz, $N = 65$, 一般的鉴相芯片 (参考 ADF4106), 其相噪基底 $20\lg(2\pi\sigma) = -223$ dBc/Hz^[9], 代入式 (6) 得到 F_O 的相噪指标为 -110 dBc@10 kHz.

新方案的工程应用如图 7, 电路中分别使用 ANALOG 公司的 ADF4106 和 AD9956 作为鉴相芯片和 DDS 分频芯片, VCO 使用 Z-Communications 公司的 CRO3250B, 最终输出 F_O 频率范围为 3 225 MHz ~ 3 275 MHz.

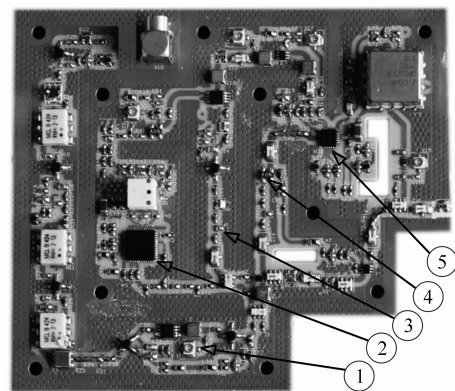


图 7 实际工程应用印制板

Fig. 7 Printed circuit board in the practical engineering application

实际使用中, 因受限于电路体积及成本考量, 最终选择倍频方案获得 F_X 混频信号, 同时将 M 次倍

频电路和 X 次倍频电路合为一块, 最大限度节约电路成本, 如图 8 所示; 实际应用中电路包含 5 部分, 分别为: 1) 100 MHz 倍频电路; 2) DDS 分频电路; 3) F_M 与 F_{DDS} 混频电路; 4) F_X 与 F_{VCO} 混频电路; 5) 锁相环路; 具体见图 7。

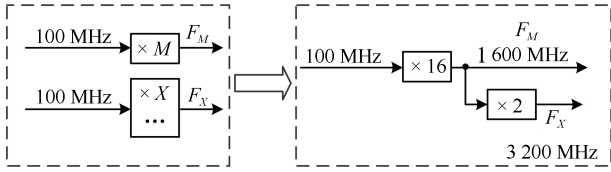


图 8 实际工程应用中 F_X 与 F_M 的产生方式

Fig. 8 The producing way of F_X and F_M in the practical engineering application

电路中首先将 100 MHz 参考信号经过 4 次二倍频, 获得 1 600 MHz, 其理论相噪为 $-139 \text{ dBc}@10 \text{ kHz}$, 之后分两路, 一路作为 F_M 信号进行 DDS 混频处理, 最终得到 F_N , 频率范围 1 700 MHz ~ 1 730 MHz, 然后 N 分频后作环路鉴相; 另一路 1 600 MHz 经 2 倍频得到 $F_X = 3 200 \text{ MHz}$, F_X 的理论相噪为 $-133 \text{ dBc}@10 \text{ kHz}$, 之后参与混频鉴相。图 8 为使用 Keysight 公司的 N9030A 信号分析仪实测的 F_X 相噪指标, 为 $-130 \text{ dBc}@10 \text{ kHz}$ 。将上述 F_N 和 F_M 的取值代入式 (8) 得到工程实例中最终输出信号满足式 (15)。

$$F_O = 3 200 + \frac{1 600 + F_{\text{DDS}}}{N} \text{ MHz} \quad (15)$$

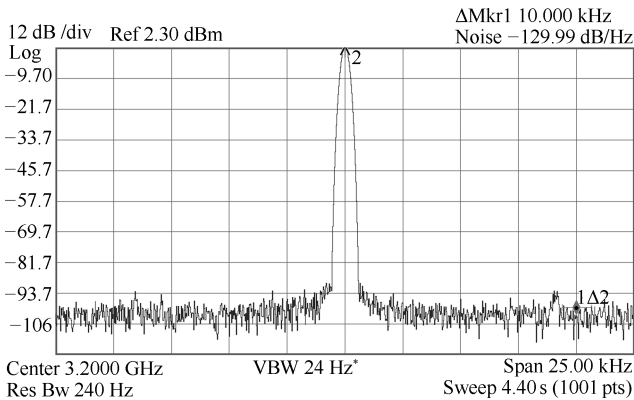


图 9 新方案 $F_X = 3 200 \text{ MHz}$ 的相位噪声指标

Fig. 9 The phase noise curve of $F_X = 3 200 \text{ MHz}$ in the new scheme

3.2 工程应用指标分析

从式 (15) 可以看出, 最终 F_O 的分辨率取决于 F_{DDS} , 而 F_M 进入 DDS 后先 4 分频, 得到 400 MHz 信号, 之后进行频率合成得到 F_{DDS} , 根据 AD9956 资料^[10] 得到 DDS 的输出频率 F_{DDS} 为式 (16) (式

中 FTW 为 DDS 控制字, 字长 48 bit, 通过 SPI 置数控制), 其频率分辨率 ΔF_{DDS} 为式 (17), 结合式 (15) 和 (17) 可以看出, 新方案的输出信号频率分辨率理论值可达 0.1 mHz。

$$F_{\text{DDS}} = \frac{\text{FTW} \times 400}{2^{48}}, \quad 0 < \text{FTW} \leq 2^{47} \quad (16)$$

$$\Delta F_{\text{DDS}} = \frac{400}{2^{48}} \text{ MHz} \geq 0.1 \text{ mHz} \quad (17)$$

当 $F_O = 3 250 \text{ MHz}$ 时, $F_P = F_O - F_X = 50 \text{ MHz}$, 如果在锁相环中引入小数分频, 最终的输出信号近端噪声相对于整数分频会恶化 3 dB, 所以新方案中必须保证 N 为整数, 且 F_N 在 1 700 MHz ~ 1 730 MHz 之间, 代入式 (15) 得到 $N = 34$, 此时对应 $F_N = 1 700 \text{ MHz}$, $F_{\text{DDS}} = 100 \text{ MHz}$, 输出信号 F_O 的理论相噪指标应该与混频鉴相信号 F_X 指标相同, 即 $-133 \text{ dBc}@10 \text{ kHz}$ 。实际使用 Keysight 公司的 E5052B 相位噪声分析仪测得的输出信号相噪指标如图 10, 从图中可以看出, 3 250 MHz 的相噪指标为 $-127 \text{ dBc}@10 \text{ kHz}$ 。

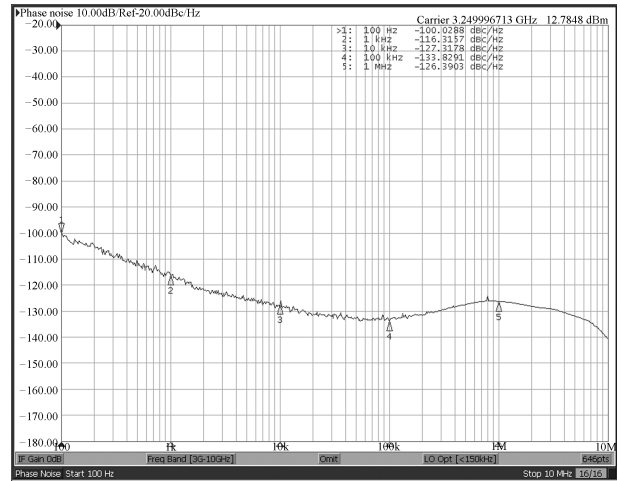


图 10 新方案 F_O 输出为 3 250 MHz 的相噪曲线

Fig. 10 The phase noise curve of the 3 250 MHz in the new scheme

虽然引入 DDS 会恶化信号的频谱纯度, 但是通过上述分析可知, 新方案中锁相环路对 F_{DDS} 与 F_M 混频产生的信号 F_N 表现为低通特性, 杂散信号可以通过锁相环路滤除。实际使用 Keysight 公司的 N9030A 信号分析仪测得的输出信号 3 250 MHz, 带宽 500 MHz 以内的非谐波杂散指标如图 11, 从图中可以看出, 其 500 MHz 带宽内杂散指标优于 -76 dBc 。

本方案通过引入 DDS 增加输出信号频率分辨率, 同时因 DDS 的引入会相应的增加频率锁相时间, 使用 HP53310A 调制域分析仪测得的 DDS 频

率切换时间见表 1, 相对应的的环路输出信号 F_O 切换时间见表 2, 从表中可以看出, 环路的平均切换时间为 $15 \mu\text{s}$, DDS 的平均切换时间为 $3 \mu\text{s}$, 占总时间的 20%, 可以看出该方案在引入 DDS 得到极高分辨率的情况下, 可以兼顾频率切换时间。

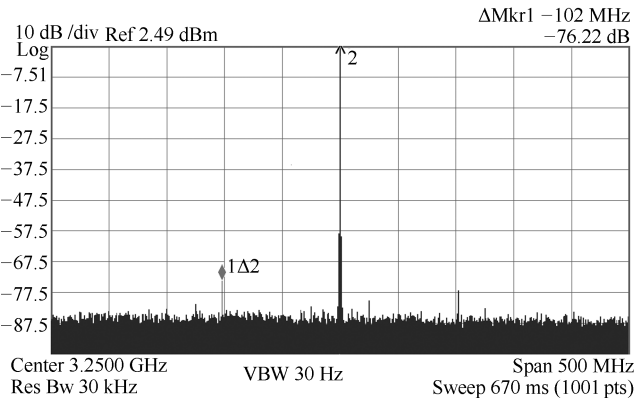


图 11 $F_O = 3.250 \text{ MHz}$ 时, 500 MHz 以内杂散测试图

Fig. 11 The spurious test pattern at $F_O = 3.250 \text{ MHz}$ within 500 MHz bandwidth

表 1 DDS 频率切换时间

Table 1 DDS frequency hopping time

DDS 切换频点 (MHz)	DDS 切换时间 (μs)
107→110	3.044
110→113	3.022
113→114	2.978
114→121	3.044
121→125	2.978
ΔT_{DDS} 均值	3.013

表 2 环路切换时间

Table 2 Loop locked time

环路切换频点 (MHz)	环路切换时间 (μs)
3.227→3.232	13.67
3.232→3.238	14.22
3.238→3.240	15.00
3.240→3.243	15.44
3.243→3.248	14.00
ΔT_{PLL} 均值	14.47

通过上述分析可以看出, 理论上输出信号 $F_O = 3.250 \text{ MHz}$ 处相位噪声指标应为 $-133 \text{ dBc}@10 \text{ kHz}$, 而使用相位噪声分析仪实际测得的指标为 $-127 \text{ dBc}@10 \text{ kHz}$, 这是因为理论值中已经忽略数字噪声和参考源噪声, 但是实际情况中

通过式 (10) 可以发现, 两者的相噪同样会叠加在最终的输出信号噪声中; 另外, 电路中因分频、倍频和混频等电子元器件会引入白噪声叠加到输出信号中, 使得最终得到的数据与理论分析偏差 6 dB, 满足预期要求. 相对于传统方案, 新方案中得到的信号相噪指标比传统方案提高了 17 dB. 因本案例空间有限, 实际电路采用倍频的方式获得 F_X 参与环路混频鉴相, 而根据上述分析可知, 在电路空间充裕, 相噪指标要求更高的条件下, 如果采用混频方案获得 F_X 后再进行混频鉴相, 理论上可以获得更好的近端相噪指标.

新方案中因引入 DDS 进行频率合成, 在不影响频率切换时间的前提下, 使得 F_O 的频率分辨率理论值达到 0.1 mHz . 通过图 11 可以看出, 因锁相环对混频信号表现为低通特性, 环路中输出信号杂散指标并没有因引入 F_{DDS} 和 F_X 等信号进行倍频、混频等处理而变差, 最终的输出信号频谱纯度极高.

4 结论

本文提出的超低相位噪声合成源方案, 通过在传统的锁相环反馈回路中, 引入高纯度的信号 F_X 参与混频鉴相, 将输出信号近端的相噪指标提高了 17 dB, 同时因引入 DDS 进行频率合成, 在兼顾频率切换时间和相噪等指标的前提下, 将输出信号 F_O 的频率分辨率理论值提高到 0.1 mHz . 最终整个电路并没有因为引入 DDS、 F_X 等信号混频鉴相而造成过多的杂散信号, 新方案保证了输出信号极高的频谱纯度.

References

- Hou Jun-Feng. Design and Implementation of Multi-loop Frequency Synthesizer [Master dissertation], University of Electronic Science and Technology of China, China, 2014 (侯君锋. 多环路频率合成器的设计与实现 [硕士学位论文], 电子科技大学, 中国, 2014)
- Chen Cong-Hong. The Research of Low Phase Noise X-band Signal Generator [Master dissertation], University of Electronic Science and Technology of China, China, 2014 (陈丛宏. 低相噪 X 波段信号发生器的研究 [硕士学位论文], 电子科技大学, 中国, 2014)
- Cheng Peng. Principles of Automatic Control. Beijing: Higher Education Press, 2003. 35–57 (程鹏. 自动控制原理. 北京: 高等教育出版社, 2003. 35–57)
- Chu Zhao-Bi, Zhang Chong-Wei, Feng Xiao-Ying. Multi-harmonics analysis based on fundamental frequency estimate. *Acta Automatica Sinica*, 2009, **35**(5): 532–539 (储昭碧, 张崇巍, 冯小英. 基于基波频率估计的多谐波分析. 自动化学报, 2009, **35**(5): 532–539)
- Fang Yong. Design of 8-10G Low Phase Noise Frequency Synthesizers [Master dissertation], Nanjing University of Science and Technology, China, 2011 (方涌. 8-10G 低噪声频率综合器系统设计 [硕士学位论文], 南京理工大学, 中国, 2011)
- Mehrotra A. Noise analysis of phase-locked loops. *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, 2002, **49**(9): 1309–1316

- 7 Maffezzoni P, Levantino S. Analysis of VCO phase noise in charge-pump phase-locked loops. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2012, **59**(10): 2165–2175
- 8 Arakali A, Gondi S, Hanumolu P K. Analysis and design techniques for supply-noise mitigation in phase-locked loops. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2010, **57**(11): 2880–2889
- 9 ADF4106 data sheets [Online], available: <http://www.analog.com>, February 25, 2016.
- 10 AD9956 data sheets [Online], available: <http://www.analog.com>, February 25, 2016.



王李飞 中国电子科技集团公司第四十一研究所工程师. 2012 年获得山东大学控制科学与工程学院学士学位. 主要研究方向为微波毫米波高性能宽带合成源设计. 本文通信作者.

E-mail: wanglifei0200@126.com

(**WANG Li-Fei** Engineer at the 41st Research Institute of CETC. He

received his bachelor degree from Shandong University in 2012. His research interest covers wide-band high-performance frequency synthesizer design in microwave and millimeter waves. Corresponding author of this paper.)

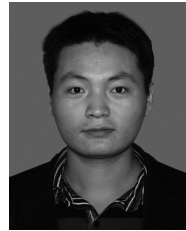


张宁 中国电子科技集团公司第四十一研究所高级工程师. 2001 年获得山东大学电力学院学士学位. 主要研究方向为微波测量仪器.

E-mail: zn_1014@163.com

(**ZHANG Ning** Senior engineer at the 41st Research Institute of CETC. She

received her bachelor degree from Shandong University in 2001. Her research interest covers microwave measuring instruments.)



彭子健 中国电子科技集团公司第四十一研究所工程师. 2007 年获得西安交通大学电信学院学士学位. 主要研究方向为软件开发与设计.

E-mail: zijian1100@163.com

(**PENG Zi-Jian** Engineer at The 41st Research Institute of CETC. He received his bachelor degree from Xi'an

Jiaotong University in 2007. His research interest covers software design and development.)

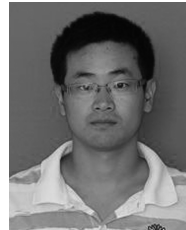


薛沛祥 中国电子科技集团公司第四十一研究所工程师. 2011 年获得北京航空航天大学自动化与电气工程学院硕士学位. 主要研究方向为小信号测量技术和控制工程.

E-mail: xuepeixiang@163.com

(**XUE Pei-Xiang** Engineer at The 41st Research Institute of CETC. He re-

ceived his master degree from Beihang University in 2011. His research interest covers small-signal measurement and control engineering.)



李维亮 中国电子科技集团公司第四十一研究所工程师. 2013 年获大连理工大学控制理论与控制工程专业硕士学位. 主要研究方向为射频电路设计.

E-mail: wei.liang123456@163.com

(**LI Wei-Liang** Engineer at The 41st Research Institute of CETC. He re-

ceived his master degree from Dalian University of Technology in 2013. His main research interest is radio frequency circuit design.)